

SDR à conversion numérique directe : comment fonctionne ce qui est dans la boîte noire et comment évaluer les performances

Introduction :

Dans les *transceivers* des radioamateurs, les électroniques analogiques ont été de plus en plus remplacées depuis des années par des circuits numériques. Les premiers DSP (*Digital Signal Processor*) ont commencé leur apparition dans les maillons de la chaîne basse fréquence des récepteurs et leur utilisation s'est ensuite étendue jusqu'à la sortie des mélangeurs de la moyenne fréquence (MF). Il y avait donc une dernière étape à franchir : celle de raccorder l'entrée d'un circuit numérique directement à l'antenne d'émission-réception HF et de raccorder une sortie BF à un haut-parleur et une entrée à un microphone.

Les circuits logiques et numériques ont depuis longtemps la faculté d'être programmables et les progrès de l'informatique ont permis de créer des applications logicielles permettant à l'utilisateur de dialoguer avec un ensemble de circuits numériques préprogrammés. Une radio logicielle (SDR : *Software Defined Radio*) est donc constituée d'un ensemble de circuits numériques préprogrammés (paramétrés) réalisant des fonctions définies auxquelles l'utilisateur n'a pas l'accès, mais en revanche celui-ci peut en exploiter les fonctions grâce à une application logicielle.

Définition du terme « système de radiocommunication défini par logiciel (SDR) » par l'UIT (Union Internationale des Télécommunications), recommandation SM.2152-0 :

«Système de radiocommunication défini par logiciel (SDR) : émetteur et/ou récepteur de radiocommunication utilisant une technologie qui permet de régler ou de modifier au moyen d'un logiciel les paramètres d'exploitation RF, par exemple la gamme de fréquences, le type de modulation ou la puissance de sortie (la liste n'est pas exhaustive), à l'exclusion de modifications des paramètres d'exploitation qui interviennent pendant l'exploitation normale préinstallée et prédéterminée d'un appareil de radio conformément à une norme ou à une spécification de système».

Le domaine du numérique exige une nouvelle manière de réfléchir :

Les changements de l'analogique vers le numérique demandent de nouvelles adaptations quant à notre manière de réfléchir, autrement dit on ne peut plus raisonner en numérique comme on le faisait en analogique. Nous le verrons plus loin par exemple avec les convertisseurs analogiques-numériques (ADC : *Analog to Digital Converter*).

L'architecture elle-même de la partie réceptrice d'un *transceiver* SDR à conversion directe est complètement différente de celle d'un récepteur basé sur le principe du superhétérodyne avec plusieurs changements de fréquence. Ce n'est donc plus la peine d'essayer de tester les réjections des Fréquences Intermédiaire car il n'y a plus de FI analogique !

Principe de la conversion directe :

Le principe de la conversion directe dans un récepteur est de traduire le contenu d'une modulation située sur une fréquence porteuse directement sur ce qu'on appelle la bande de base, c'est-à-dire la bande de fréquence strictement nécessaire occupée par un signal modulé ou parfois tout simplement la bande passante du signal « modulant » sans que celui-ci ne soit situé sur une fréquence porteuse. Pour un signal dit « en bande de base » (*Baseband*), tout se passe comme si ce signal n'avait pas subi à l'origine une transposition en fréquence, autrement dit après la conversion directe d'un récepteur, dans le signal en bande de base, il n'y a plus de HF ni de MF ni de FI. Dans le principe de la conversion directe d'un récepteur on parlera même de Zéro FI (ZIF : *Zero Intermediate Frequency*).

Le principe de la conversion directe dans un émetteur est de traduire le contenu du signal en bande de base directement sur une porteuse HF. Voici donc deux exemples qui nous amènent à adopter une nouvelle manière de réfléchir dans le domaine du numérique des SDR.

Dans un *transceiver* SDR à conversion directe, la traduction du signal HF modulé vers la bande de base en réception et la traduction du signal modulant en bande de base vers un signal HF en émission s'effectuent toutes deux exclusivement par des circuits numériques préprogrammés. La traduction en fréquence dans un récepteur s'effectuera par un convertisseur numérique abaisseur de fréquence qui est appelé Digital Down Converter (DDC) et la traduction en fréquence dans un émetteur s'effectuera par un convertisseur numérique éleveur de fréquence qui est appelé Digital Up Converter (DUC). Les deux fonctions DDC et DUC sont réalisées dans un circuit numérique programmé et ultra rapide du type FPGA (*Field-Programmable Gate Array*) qui peut effectuer des opérations avec une fréquence d'horloge de base de temps très élevée.

Décimation et interpolation :

Dans un récepteur SDR, le DDC nécessite une fréquence d'horloge très élevée pour pouvoir effectuer une conversion à partir du signal HF. Lorsqu'on a obtenu le signal en bande de base, celui-ci est traité par un DSP qui va réaliser les fonctions de filtrage et de démodulation avec une vitesse d'horloge beaucoup plus faible que celle du FPGA. On passe donc d'un signal HF numérisé au moyen d'un nombre élevé d'échantillons par unité de temps au niveau du FPGA vers un signal en bande de base qui doit comporter beaucoup moins d'échantillons par unité de temps pour que celui-ci puisse être traité par un DSP. Cette réduction d'échantillonnage (*Down-Sampling*) s'effectue par un procédé appelé décimation qui consiste à traiter un seul échantillon parmi plusieurs, par exemple un sur 4 ou un sur 10, etc. La vitesse d'échantillonnage ainsi réduite correspond à celle qui est strictement nécessaire pour traiter un signal en bande de base dont l'étendue ne dépasse pas celui des « basses » fréquences.

Dans un émetteur SDR, le signal en bande de base est traité avec une faible vitesse d'échantillonnage par le DSP. En revanche, le DUC nécessite un échantillonnage à haute vitesse pour être compatible avec les fréquences HF.

On va rajouter de toutes pièces un nombre fixe d'échantillons entre ceux qui existent à la sortie du DSP pour atteindre l'échantillonnage requis par le DUC, il s'agit donc d'une élévation d'échantillonnage (*Up-Sampling*). Cette opération est appelée interpolation.

Qu'est-ce qu'un FPGA (*Field-Programmable Gate Array*) ?

Il s'agit d'un circuit intégré électronique qui est constitué de réseaux de portes logiques (*Gate Array*) qui peuvent être « câblées » et « re-câblées » entre elles à volonté par une programmation sur le terrain (*Field Programmable*), c'est-à-dire dans n'importe quel laboratoire d'électronique au moyen d'un ordinateur. La programmation va réaliser le « câblage » (routage) entre les portes logiques de façon à réaliser des fonctions logiques combinatoires ou séquentielles. La programmation va aussi déterminer l'emplacement des portes logiques d'une manière rationnelle sur la puce (*Chip*) du FPGA.

Grâce à un circuit composé de plusieurs blocs de portes logiques (CLB : *Configurable Logic Block*), on pourra ainsi réaliser en nombres binaires des opérations d'addition, de soustraction, de multiplication, de division, d'élévation au carré, d'extraction de racine carrée, de calcul d'arc-tangente et même de logarithme. On pourra aussi réaliser des opérations sur des nombres complexes en traitant leur partie réelle et leur partie imaginaire ou en traitant leur module et leur argument. En agissant par calcul sur l'argument d'un nombre complexe, cela revient à effectuer un déphasage constant sur un signal quelle que soit sa fréquence, ce qui est parfaitement impensable conceptuellement avec un circuit analogique à large bande. Tout ceci va être particulièrement précieux pour effectuer une conversion directe (DDC ou DUC) par calculs purement mathématiques sur des nombres complexes en traitant des signaux en quadrature de phase (déphasés de 90 °) sur le principe du mélangeur I et Q (I = *In-Phase* et Q = *Quadrature-Phase*). Le principe d'un mélangeur I et Q sera examiné plus loin.

Contrairement aux autres circuits intégrés du type ASIC (*Application Specific Integrated Circuit*), PAL (*Programmable Array Logic*), GAL (*Gate Array Logic*), etc., les FPGA peuvent être reprogrammés à volonté. Le langage de programmation des FPGA est adapté à la méthodologie de conception de circuits en logique « câblée » (par programmation) et met directement en œuvre des équations booléennes (algèbre des portes logiques) sans devoir passer par l'analyse des tables de vérité. Deux langages principaux existent (HDL : *Hardware Description Language*) : VHDL pour les VHSIC (*Very-High-Speed Integrated Circuit*) et Verilog. Ces langages sont relativement complexes et peuvent paraître aussi rébarbatifs que du langage Assembleur. National Instruments a dès lors développé un module spécifique pour de la programmation HDL sous forme graphique dans son logiciel Lab View. La programmation HDL peut aussi être effectuée par l'intermédiaire des langages usuels d'informaticiens tels que C, C++, Python ou C# (*C Sharp*) avec des boîtes d'outils où certains « composants » ont été développés (*Framework*), comme par exemple avec Microsoft DotNet. Le logiciel Math Lab peut effectuer des simulations de programmations en HDL.

Le programme est ensuite compilé par des logiciels appropriés à la programmation des FPGA.

Le fichier de programmation du FPGA est transféré dans celui-ci par l'intermédiaire d'une interface série appelée JTAG (*Joint Test Action Group*). Historiquement, cette appellation provient du groupe de travail qui a conçu la norme IEEE 1149.1 qui définit un standard de port d'accès à des circuits numériques programmables de façon à tester les connexions qui relient les broches des différents circuits intégrés sur un circuit imprimé. Cette norme a été développée pour le test automatique des cartes électroniques à haute intégration de circuits numériques dans l'industrie (*Standard Test Access Port and Boundary-Scan Architecture*).

Les opérations mathématiques effectuées par un FPGA sont pratiquement réalisées en temps réel (il faut juste tenir compte du temps de propagation des états logiques des portes), ce qui rend ces dispositifs bien plus rapides que les microprocesseurs qui doivent effectuer des opérations arithmétiques et logiques (ALU : *Arithmetic Logic Unit*) une par une et d'une manière purement séquentielle en scrutant les instructions d'un programme informatique.

Les FPGA se sont complexifiés d'années en années à telle enseigne qu'ils intègrent actuellement non seulement des réseaux de portes logiques, mais aussi plusieurs « tranches » (*Slice*) avec des DSP et même un microprocesseur rapide grâce à un jeu minimal d'instructions (RISC : *Reduced Instruction Set Computer*). Ces « noyaux durs » (*Hard-Core*) à microprocesseurs RISC sont souvent du type d'architecture ARM (*Advanced Risc Machine*). Les ARM sont conçus depuis 1987 par la société britannique Acorn Computers devenue ARM Limited. Les FPGA avec noyau dur ARM deviennent des « systèmes sur puce » à part entière (SoC : *System on Chip*). On prendra pour exemple les SoC FPGA « Virtex » et « Zynq » conçus par la société Xilinx. Le FPGA Zynq dédié RFSoc (*Radio Frequency System on Chip*) intègre quatre processeurs (*Quad Core*) ARM « Cortex A-53 » et en plus deux processeurs (*Dual Core*) « Cortex R-5 ».

Les *transceivers* SDR du constructeur Flex Radio de la série 6000 *Signature* utilisent un FPGA Virtex-6 de la société Xilinx et un DSP de technologie « DaVinci » (*Digital Multimedia Processing*) de la société Texas Instruments. Les DSP DaVinci (alias de *Digital Video*) sont des SoC qui intègrent un processeur ARM.

Tables de correspondance (LUT : *Look-Up Table*) :

Certaines fonctions mathématiques, par exemple les fonctions trigonométriques, les logarithmes, etc. ne peuvent être calculées par les microprocesseurs ou par un réseau de portes logiques que par une décomposition en série d'opérations simples d'addition de plusieurs termes pour arriver au résultat. Ces décompositions en séries ont été découvertes par les mathématiciens Taylor, Mac Laurin et Riemann. Voici un exemple :

$$\cos x = 1 - \frac{x^2}{2!} + \frac{x^4}{4!} - \frac{x^6}{6!} + \frac{x^8}{8!} - \frac{x^{10}}{10!} + \frac{x^{12}}{12!} - \frac{x^{14}}{14!} + \frac{x^{16}}{16!} - \frac{x^{18}}{18!} + \dots$$

Pour arriver à une précision suffisante du résultat du calcul d'une fonction trigonométrique, le microprocesseur ou le FPGA doit procéder à un nombre élevé d'itérations afin de calculer un grand nombre de termes de la décomposition en série de cette fonction. Le nombre de cycles des calculs prennent donc beaucoup de temps pour être accomplis. C'est la raison pour laquelle les valeurs des fonctions trigonométriques sont pré-encodées dans une table mémoire du FPGA. Parmi nos aînés, certains OM se souviendront avoir utilisé des tables de logarithmes à l'école avant que les calculatrices de poche aient fait leur apparition dans l'enseignement. Comme on ne peut pas raisonnablement encoder un nombre infini de valeurs dans une table mémoire, on choisit d'en encoder un nombre limité. Pour arriver à un résultat de calcul qui se trouverait entre deux valeurs de la table, on procède à une interpolation mathématique, ce qui est une tâche facile à accomplir par un microprocesseur ou un FPGA.

Afin de réduire le nombre de valeur dans une table de correspondance, certaines fonctions trigonométriques peuvent être caractérisées seulement par un quart de leur domaine de définition. Par exemple un cosinus peut être défini pour des variables dont les valeurs sont comprises entre 0 et $\pi/2$. Entre $\pi/2$ et π , on retrouve les mêmes valeurs mais de manière croissante (en valeur absolue) et affectées du signe négatif. Entre π et $3\pi/2$ ainsi qu'entre $3\pi/2$ et 2π , les valeurs sont aussi des répliques de celles de l'intervalle compris entre 0 et $\pi/2$. Pour accéder aux valeurs des fonctions trigonométriques, la table est adressée au moyen d'un multiplexeur, un compteur ou un registre. Certaines tables de vérité de fonctions logiques complexes peuvent aussi être encodées dans des LUT (*Look-Up Table*) d'un FPGA afin d'optimiser les ressources de celui-ci.

Oscillateurs pilotés par procédé numérique (NCO : *Numerically Controlled Oscillator*) et oscillateurs à synthèse numérique directe (DDS : *Digital Direct Synthesizer*) :

Comme on peut encoder les valeurs d'une fonction sinus ou cosinus dans une table (LUT), on peut créer un générateur d'un signal sinusoïdal numérique : il suffit de lire d'une manière séquentielle les valeurs de la table par adressage au moyen d'un compteur ou d'un registre. Dans cette façon de procéder, la fréquence de l'horloge détermine la fréquence du signal sinusoïdal. C'est tout simplement cela un DDS.

Pour faire varier la fréquence du signal sinusoïdal à partir d'une horloge de fréquence fixe, il faut adresser la table de correspondance avec des incréments de différentes tailles au moyen d'un dispositif numérique appelé accumulateur de phase. L'ensemble d'un DDS et d'un accumulateur de phase constitue ainsi un oscillateur à contrôle numérique (NCO).

Dans une table où l'on a mémorisé les valeurs d'une fonction sinusoïdale, chaque valeur peut être vue comme l'amplitude associée à une phase instantanée du signal et chaque adresse représente une phase instantanée du signal. Pour choisir une fréquence du signal à partir d'une fréquence d'horloge fixe, il suffit de choisir une taille d'incrément d'adressage de la table, c'est-à-dire une taille d'incrément de phase. En pratique, on utilise un additionneur et un registre bouclés entre eux. Une des entrées de l'additionneur recevra un mot binaire qui déterminera la taille de l'incrément (voir figure 1).

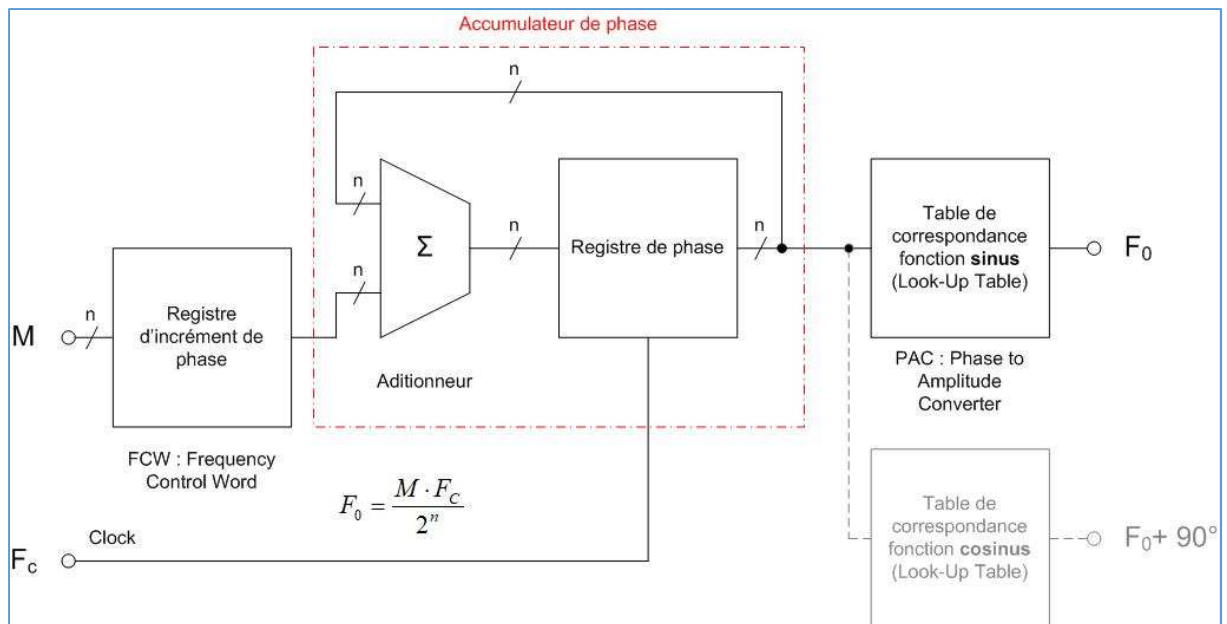


Fig. 1 : Schéma-bloc d'un oscillateur à contrôle numérique (NCO) avec une 2^{ème} sortie optionnelle d'un signal en quadrature de phase, ce qui sera utile pour des mélangeurs I et Q. Graphisme : ON4IJ

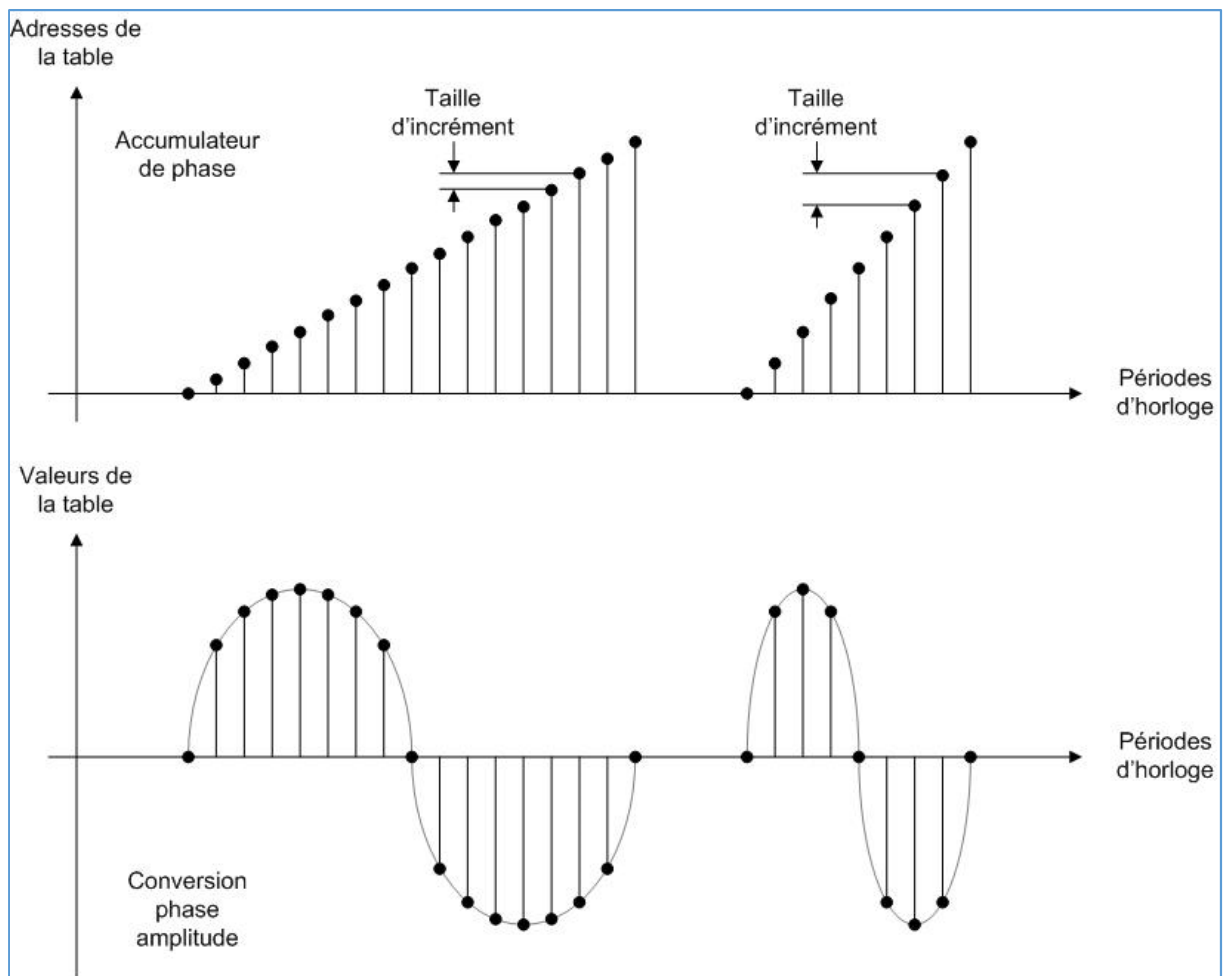


Fig. 2 : Principe de l'accumulateur de phase d'un NCO avec illustration de deux tailles différentes d'incrément pour permettre le choix de la fréquence du signal de sortie. Graphisme : ON4IJ.

Ce qu'il faut comprendre, c'est que le mot binaire M qui est placé dans le registre d'incrément de phase va obliger le registre de phase à « sauter » d'adresse en adresse la table de correspondance tous les multiples de M . Les valeurs de la table, de la première à la dernière sont donc scrutées M fois plus vite. Par analogie, au lieu de monter un escalier marche par marche, on gravit celui-ci « quatre à quatre » en enjambant plusieurs marches à chaque pas. En tenant compte du nombre de bits n des registres, de la fréquence d'horloge F_C et de la valeur du mot binaire M (*Tuning Word*), on peut calculer la fréquence du signal F_0 : $F_0 = \frac{M \cdot F_C}{2^n}$.

En général, les NCO ont des registres dont le nombre de bits n est compris entre 24 et 48 bits, ce qui contribue à avoir une excellente résolution du NCO. Le signal échantillonné à la sortie de la table de conversion (voir figure 2) doit respecter les conditions du théorème de Nyquist-Shannon (la fréquence maximale d'un signal ne peut pas dépasser la moitié de la fréquence d'échantillonnage). Ainsi, la fréquence maximale du signal F_0 ne peut pas dépasser $F_C/2$. Par exemple, pour une fréquence d'horloge F_C de 130 MHz ($F_S = 130$ MSPS : *Mega Sample Per Second*) et pour un registre de 24 bits, le *Tuning Word* M doit être plus petit que : $M < 2^{n-1}$, c'est-à-dire plus petit que 2^{23} ; si l'on veut obtenir une fréquence du signal F_0 de 50 MHz (bande radioamateur des 6 mètres), on prendra :

$$M = \frac{F_0 \cdot 2^n}{F_C} = \frac{50 \cdot 10^6 \cdot 2^{24}}{130 \cdot 10^6} = 6,45 \cdot 10^6 = 2^{(22,6)}.$$

Si l'on veut obtenir une fréquence du signal de 1,820 MHz (bande des 160 mètres) :

$$M = \frac{F_0 \cdot 2^n}{F_C} = \frac{1,820 \cdot 10^6 \cdot 2^{24}}{130 \cdot 10^6} = 234,88 \cdot 10^3 = 2^{(17,8)}$$

Pour obtenir des meilleurs résultats, on peut implémenter dans le FPGA un multiplicateur (à coefficient fixe, par exemple x16) de la fréquence d'horloge et ainsi réduire la taille des incréments avec un *Tuning Word* M plus petit.

Conversion directe DDC (*Digital Down Converter*) avec un mélangeur I et Q :

Jusqu'à présent, nous avons construit quelques briques d'un *transceiver* SDR : grâce à un FPGA, on peut facilement réaliser entre autres des opérations de multiplication et d'addition. Avec des tables de correspondance (LUT), on peut créer des oscillateurs à contrôle numérique (NCO). Nous allons à présent analyser comment il est possible de transférer un signal HF modulé directement en bande de base. Pour cela, on va utiliser un mélangeur I et Q qui sera constitué exclusivement de circuits numériques « câblés » (programmés) dans un FPGA.

Le principe de fonctionnement d'un mélangeur I et Q est comparable à celui d'un mélangeur classique avec une entrée HF, une entrée pour le signal d'un oscillateur local (LO) et une sortie à une fréquence intermédiaire (FI). Mais un mélangeur I et Q va traiter séparément le signal HF à partir du signal du LO en phase (I) et en quadrature de phase (Q). Les deux signaux issus des mélanges I et Q seront ensuite additionnés (voir figure 3). Nous verrons que ce type de mélangeur permet de rejeter automatiquement la fréquence image lors de la conversion (*Image Rejection Mixer*).

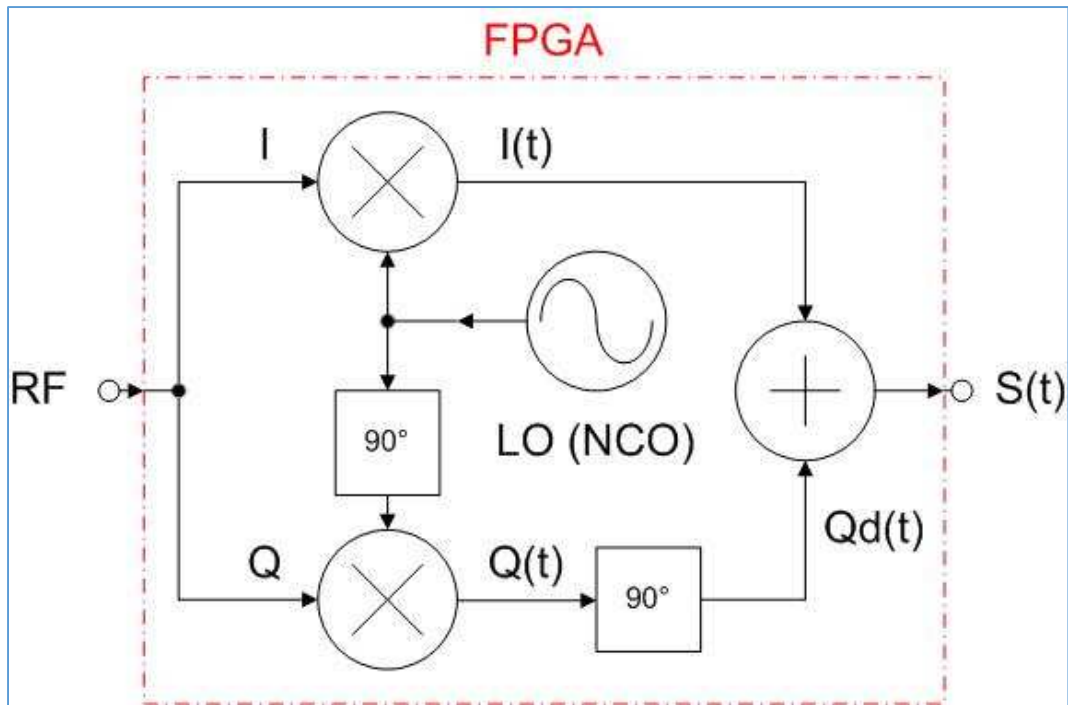


Fig. 3 : Schéma-bloc d'un mélangeur I et Q convertisseur numérique abaisseur de fréquence (DDC), *Image Rejection Mixer*. Graphisme : ON4IJ.

Pour comprendre le fonctionnement d'un mélangeur I et Q, nous allons jongler avec quelques équations trigonométriques très simples : cela ne va pas vous bombarder avec des mathématiques hors de votre portée. Les différentes étapes des calculs vont être expliquées étapes par étapes pour que vous puissiez suivre facilement le raisonnement.

Pour commencer, rappelons-nous les formules de Simpson en trigonométrie pour transformer un produit de cosinus en une somme de cosinus :

$$\cos a \cdot \cos b = \frac{1}{2} [\cos(a+b) + \cos(a-b)]$$

Soit un signal sinusoïdal à l'entrée RF : $V_{RF} = V \cdot \cos(\omega_{RF}t)$ avec $\omega_{RF} = 2\pi f_{RF}$,

soit un signal sinusoïdal à la sortie du LO : $V_{LO} = \cos(\omega_{LO}t)$ avec $\omega_{LO} = 2\pi f_{LO}$.

Prenons l'exemple où l'on effectue un changement de fréquence par battement inférieur (infradyne), c'est-à-dire : $f_{LO} < f_{RF}$ soit $(\omega_{RF} - \omega_{LO}) > 0$.

Pour la voie I, on aura à la sortie du mélangeur le produit de V_{RF} et de V_{LO} :

$$I(t) = V \cdot \cos(\omega_{RF}t) \cdot \cos(\omega_{LO}t) = \frac{V}{2} [\cos(\omega_{RF} + \omega_{LO}) \cdot t + \cos(\omega_{RF} - \omega_{LO}) \cdot t]$$

Pour la voie Q, on aura à la sortie le produit de V_{RF} et de $V_{LO} + 90^\circ$:

$$Q(t) = V \cdot \cos(\omega_{RF}t) \cdot \cos(\omega_{LO}t + 90^\circ) = \frac{V}{2} [\cos\{(\omega_{RF} + \omega_{LO}) \cdot t + 90^\circ\} + \cos\{(\omega_{RF} - \omega_{LO}) \cdot t - 90^\circ\}]$$

À la sortie de la voie Q, le signal Q(t) est déphasé de 90° : Qd(t) = Q(t) + 90° :

$$Qd(t) = \frac{V}{2} \left[\cos\{(\omega_{RF} + \omega_{LO}) \cdot t + 90^\circ + 90^\circ\} + \cos\{(\omega_{RF} - \omega_{LO}) \cdot t - 90^\circ + 90^\circ\} \right]$$

$$Qd(t) = \frac{V}{2} \left[-\cos\{(\omega_{RF} + \omega_{LO}) \cdot t\} + \cos\{(\omega_{RF} - \omega_{LO}) \cdot t\} \right]$$

En additionnant I(t) et Qd(t) on obtient la sortie S(t) = I(t) + Qd(t) :

$$I(t) = \frac{V}{2} \left[\cos(\omega_{RF} + \omega_{LO}) \cdot t + \cos(\omega_{RF} - \omega_{LO}) \cdot t \right]$$

$$Qd(t) = \frac{V}{2} \left[-\cos\{(\omega_{RF} + \omega_{LO}) \cdot t\} + \cos\{(\omega_{RF} - \omega_{LO}) \cdot t\} \right]$$

$$S(t) = I(t) + Qd(t) = \frac{V}{2} \left[2 \cdot \cos\{(\omega_{RF} - \omega_{LO}) \cdot t\} \right]$$

$$S(t) = V \cos\{(\omega_{RF} - \omega_{LO}) \cdot t\}$$

On constate que ce type de changement de fréquence I et Q permet d'obtenir à la sortie une seule fréquence qui est $f_{RF} - f_{LO}$ (c'est-à-dire $\omega_{RF} - \omega_{LO}$). Il n'y a donc plus de fréquence image $f_{RF} + f_{LO}$ à la sortie du mélangeur. On constate aussi que la perte de conversion de ce mélangeur est de 0 dB. Dans un mélangeur classique, l'énergie du signal de sortie est répartie en part égale entre la fréquence $f_{RF} - f_{LO}$ et la fréquence image $f_{RF} + f_{LO}$ qui doit être filtrée et donc rejetée, ce qui donne une perte de conversion de -6 dB.

On peut démontrer ci-dessous que le mélange de la fréquence image HF dans un mélangeur I et Q donne une sortie qui vaut zéro, c'est la raison pour laquelle ce type de mélangeur est parfois appelé « *Image Rejection Mixer* ».

Reprenons l'exemple que nous avons développé ci-dessus avec un changement de fréquence par battement inférieur. Dans ce cas de figure, la fréquence image HF est inférieure à celle du LO (alors que la fréquence désirée est supérieure à celle du LO), c'est-à-dire : $f_{IM} < f_{LO}$ soit $(\omega_{IM} - \omega_{LO}) < 0$

Pour la voie I, on aura à la sortie du mélangeur le produit de V_{IM} et de V_{LO} :

$$I(t) = V \cdot \cos(\omega_{IM}t) \cdot \cos(\omega_{LO}t) = \frac{V}{2} \left[\cos(\omega_{IM} + \omega_{LO}) \cdot t + \cos(\omega_{IM} - \omega_{LO}) \cdot t \right]$$

or $(\omega_{IM} - \omega_{LO}) < 0$ et si $(\omega_{IM} - \omega_{LO}) = \alpha$, alors $(\omega_{LO} - \omega_{IM}) = -\alpha > 0$

et comme $\cos(-\alpha) = \cos \alpha$, on a :

$$I(t) = \frac{V}{2} \left[\cos(\omega_{IM} + \omega_{LO}) \cdot t + \cos(\omega_{LO} - \omega_{IM}) \cdot t \right]$$

Pour la voie Q, on aura à la sortie le produit de V_{IM} et de $V_{LO} + 90^\circ$:

$$Q(t) = V \cdot \cos(\omega_{IM} t) \cdot \cos(\omega_{LO} t + 90^\circ) = \frac{V}{2} [\cos\{(\omega_{IM} + \omega_{LO}) \cdot t + 90^\circ\} + \cos\{(\omega_{IM} - \omega_{LO}) \cdot t - 90^\circ\}]$$

$$\text{or } \cos\{(\omega_{IM} - \omega_{LO}) \cdot t - 90^\circ\} = \cos\{-(\omega_{IM} - \omega_{LO}) \cdot t - (-90^\circ)\} = \cos\{(\omega_{LO} - \omega_{IM}) \cdot t + 90^\circ\}$$

$$\text{donc } Q(t) = \frac{V}{2} [\cos\{(\omega_{IM} + \omega_{LO}) \cdot t + 90^\circ\} + \cos\{(\omega_{LO} - \omega_{IM}) \cdot t + 90^\circ\}]$$

À la sortie de la voie Q, le signal $Q(t)$ est déphasé de 90° : $Q_d(t) = Q(t) + 90^\circ$:

$$Q_d(t) = \frac{V}{2} [\cos\{(\omega_{IM} + \omega_{LO}) \cdot t + 90^\circ + 90^\circ\} + \cos\{(\omega_{LO} - \omega_{IM}) \cdot t + 90^\circ + 90^\circ\}]$$

$$Q_d(t) = \frac{V}{2} [-\cos\{(\omega_{IM} + \omega_{LO}) \cdot t\} - \cos\{(\omega_{LO} - \omega_{IM}) \cdot t\}]$$

En additionnant $I(t)$ et $Q_d(t)$ on obtient la sortie $S(t) = I(t) + Q_d(t)$:

$$I(t) = \frac{V}{2} [\cos(\omega_{IM} + \omega_{LO}) \cdot t + \cos(\omega_{LO} - \omega_{IM}) \cdot t]$$

$$Q_d(t) = \frac{V}{2} [-\cos\{(\omega_{IM} + \omega_{LO}) \cdot t\} - \cos\{(\omega_{LO} - \omega_{IM}) \cdot t\}]$$

$$S(t) = I(t) + Q_d(t) = \frac{V}{2} \cdot 0$$

$$S(t) = 0$$

Cela signifie qu'il y a une annulation de la fréquence image à la sortie du mélangeur I et Q. On peut tenir un raisonnement similaire pour un changement de fréquence par battement supérieur (supradyné) en ce qui concerne le signal désiré et sa fréquence image annulée.

Les premiers *transceivers* SDR qui ont été conçus il y a quelques années avant l'application de la conversion numérique directe étaient constitués d'un changement de fréquence I et Q analogique et le traitement par DSP s'effectuait sur une fréquence intermédiaire et non pas directement sur la bande de base. Mettre au point un mélangeur I et Q analogique pose certaines contraintes : le déphasage I et Q doit être en parfaite quadrature (90°) au niveau du LO à moins d'un degré de phase près, le déphasage entre $Q(t)$ et $Q_d(t)$ doit aussi être à 90° avec la même précision et enfin, les signaux $I(t)$ et $Q_d(t)$ doivent être rigoureusement de la même amplitude pour éviter tout déséquilibre du mélangeur. Si ces conditions ne sont pas respectées, il risque d'avoir un reliquat de la fréquence image à la sortie du mélangeur. Obtenir un déphasage parfait de 90° entre $Q(t)$ et $Q_d(t)$ est particulièrement contraignant car ce déphasage doit être constant sur toute la largeur de la bande nécessaire à la modulation du signal. En analogique, obtenir un déphasage de 90° quelle que soit la fréquence est pratiquement impossible à obtenir sauf sur une largeur de bande très étroite et cela avec une certaine tolérance d'écart de phase qui peut difficilement être contenue en dessous d'un degré. Divers systèmes de compensation de phase ont été inventés et mis en pratique toutefois ces systèmes sont complexes et délicats à régler.

Dans les *transceivers* SDR modernes, le mélangeur I et Q est constitué exclusivement de circuits numériques intégrés par programmation dans un FPGA. Le déphasage I et Q au niveau du LO est très facile à obtenir puisqu'il suffit tout simplement d'avoir deux tables de correspondance (LUT) : une avec une fonction cosinus et une autre avec une fonction sinus, ces deux fonctions étant par définition en quadrature. Pour obtenir un déphasage parfait de 90° entre Q(t) et Qd(t) quelle que soit la fréquence et quelle que soit la largeur de bande occupée par le signal, on utilise une transformée de Hilbert.

Transformée de Hilbert :

Sans entrer dans des mathématiques très complexes, il suffit de retenir que dans le domaine de la fréquence, la transformée de Hilbert a pour propriété de déphaser exactement de 90° toutes les composantes d'un signal décomposé en série de Fourier. Une décomposition d'un signal en série de Fourier est une somme du fondamental et de toutes les harmoniques de ce signal en tenant compte de la phase de chaque harmonique. Ainsi, quel que soit le signal et quelle que soit sa fréquence, une transformée de Hilbert va donc déphaser toutes ses composantes de 90°. Voici deux exemples très utiles :

Signal $s(\omega t)$	Transformée de Hilbert $\mathcal{H}\{s\}(\omega t)$	Correspondance de déphasage $s(\omega t + 90^\circ)$
$\sin(\omega t)$	$-\cos(\omega t)$	$-\cos(\omega t) = \sin(\omega t + 90^\circ)$
$\cos(\omega t)$	$\sin(\omega t)$	$\sin(\omega t) = \cos(\omega t + 90^\circ)$

Dans le mélangeur I et Q qui est intégré dans le FPGA, il sera facile d'implémenter une fonction mathématique de la transformée de Hilbert pour calculer :

$Qd(t) = Q(t + 90^\circ) = \mathcal{H}\{Q\}(t)$. Ainsi toutes les composantes spectrales de la bande de base avec son contenu d'un signal modulé dans sa largeur de bande nécessaire, ces composantes seront toutes déphasées exactement de 90°.

Conversion directe DUC (*Digital Up Converter*) avec un mélangeur I et Q :

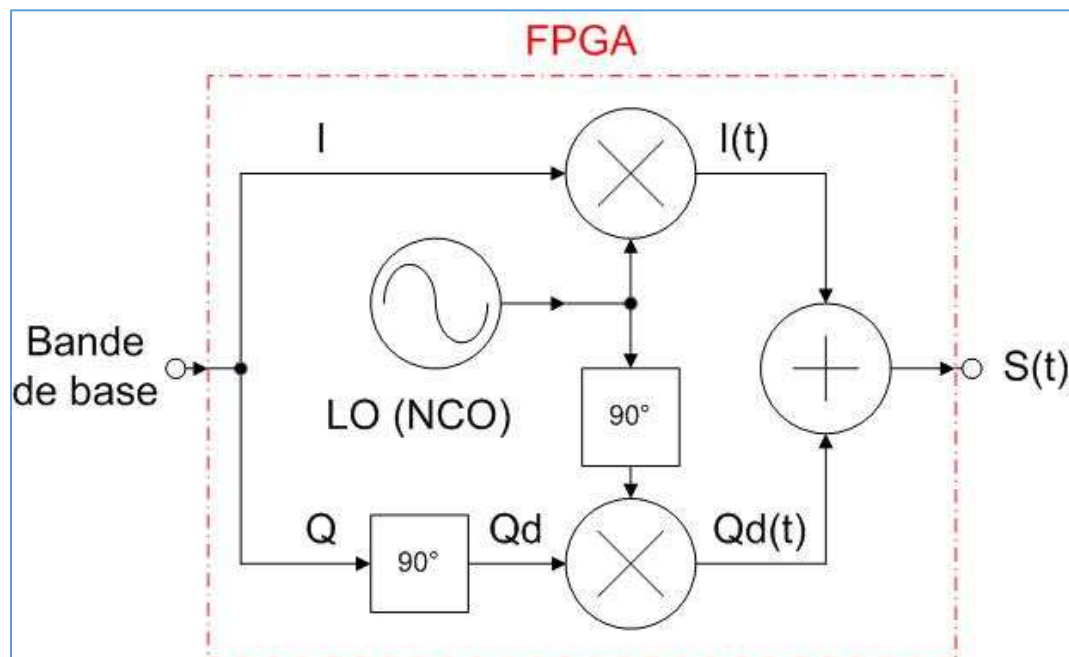


Fig. 4 : Schéma-bloc d'un mélangeur I et Q convertisseur numérique élévateur de fréquence (DUC), *Image Rejection Mixer*. Graphisme : ON4IJ.

Le principe de fonctionnement d'un DUC est relativement similaire à celui d'un DDC. La seule différence est que le signal Q est d'abord déphasé de 90° avant d'être appliqué au mélangeur. En reprenant un raisonnement trigonométrique similaire à celui qui a été décrit pour un DDC, on s'aperçoit qu'un DUC est aussi un type de mélangeur qui annule la fréquence image.

À la découverte des fréquences complexes négatives ; fréquences négatives ???

Bienvenue dans le domaine des nombres complexes et des fréquences négatives. Des fréquences négatives ? Cela n'existe pas au sens physique d'un signal réel allez-vous me dire ! Pourtant ce concept abstrait existe bel et bien au point de vue analytique dans les mathématiques des nombres complexes. Nous allons voir pourquoi plus loin avec un petit graphique.

Vous avez probablement déjà eu une approche des nombres complexes pour exprimer la valeur d'une impédance avec une partie réelle (partie résistive) et une partie imaginaire (partie réactive) : voir les articles sur l'abaque de Smith et sur l'analyseur de réseau vectoriel sur ON5VL.org. L'impédance est représentée par un vecteur situé dans le plan complexe avec un système d'axe où sont reportées les valeurs réelles sur un axe d'abscisses et les valeurs imaginaires sur un axe d'ordonnées (coordonnées rectangulaires d'une impédance : $Z = R + jX$).

Le vecteur peut aussi être caractérisé par un module (longueur du vecteur) $|Z| = \sqrt{R^2 + X^2}$ et une phase (angle) $\arg Z = \tan^{-1}\left(\frac{X}{R}\right)$.

Signal réel composé à partir de deux fréquences complexes (positive et négative) :

Grâce aux nombres complexes, on peut aussi représenter un signal sinusoïdal réel dans le domaine du temps. Pour transformer un signal physique réel sous une forme analytique en nombre complexe, on va effectuer l'addition de deux vecteurs tournant en sens opposés l'un par rapport à l'autre dans le plan complexe. La notion de vecteur tournant vous est probablement déjà familière avec la représentation des vecteurs de Fresnel dans l'étude des circuits RLC (résistance, bobine d'induction et condensateur) en courant alternatif. Dans le plan complexe, multiplier un vecteur par j revient à faire tourner celui-ci de 90° (sens anti-horlogique), de même, multiplier ce même vecteur par $(-j)$ revient à faire tourner celui-ci de -90° (sens horlogique).

Dans l'article sur l'analyseur de réseau vectoriel, nous vous avons déjà expliqué qu'il existe une notation très pratique des nombres complexes sous la forme d'Euler. Voici un petit rappel :

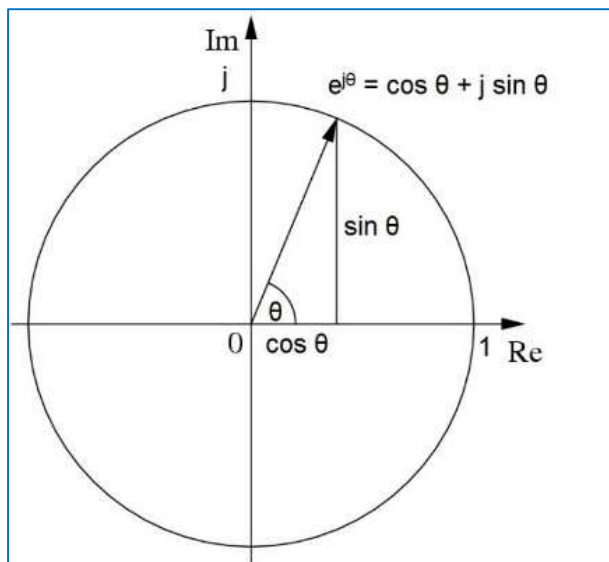


Fig. 5 : Notation sous la forme d'Euler d'un nombre complexe. Le vecteur situé dans le plan complexe prend la forme d'une exponentielle naturelle (e^x) avec un exposant complexe ($j\theta$). La forme exponentielle d'un nombre complexe est donc :

$$e^{j\theta} = \cos \theta + j \sin \theta \quad \text{Graphisme : ON4IJ.}$$

Dans la notation d'Euler d'un nombre complexe, l'angle θ représente la phase du vecteur. Imaginons à présent que l'angle θ augmente au cours du temps, soit $j\omega t$, nous aurons ainsi un vecteur tournant dans le sens anti-horlogique. L'augmentation de θ représente un déplacement positif dans le temps, tout ce passe comme si l'on avait une fréquence complexe positive. Imaginons à présent que nous voulions remonter le temps en arrière, pour cela on doit rendre négative l'augmentation de θ , c'est-à-dire $-j\omega t$ pour pouvoir faire tourner le vecteur dans le sens horlogique et tout se passe comme si l'on avait une fréquence complexe négative. Tout cela se situe strictement au niveau conceptuel et analytique dans le domaine mathématique des nombres complexes.

Comment passer des signaux complexes constitués d'une fréquence positive et d'une fréquence négative à un signal réel au sens physique ?

On le doit au génie du mathématicien Euler qui a découvert qu'une fonction dans le domaine du temps (par exemple $\sin \omega t$ ou $\cos \omega t$) peut s'exprimer par l'addition (ou soustraction) vectorielle de deux signaux complexes de même fréquence mais opposée, c'est-à-dire une fréquence complexe positive $e^{j\omega t}$ et une fréquence complexe négative $e^{-j\omega t}$.

Formules d'Euler :

$$\sin \omega t = \frac{e^{j\omega t} - e^{-j\omega t}}{2j} = j \frac{e^{-j\omega t}}{2} - j \frac{e^{j\omega t}}{2} = j \left(\frac{e^{-j\omega t} - e^{j\omega t}}{2} \right)$$

$$\cos \omega t = \frac{e^{j\omega t} + e^{-j\omega t}}{2} = \frac{e^{j\omega t}}{2} + \frac{e^{-j\omega t}}{2}$$

Représentons par exemple un signal réel $\cos \omega t$ au temps t_1 et au temps t_2 sur un graphique pour mieux comprendre.

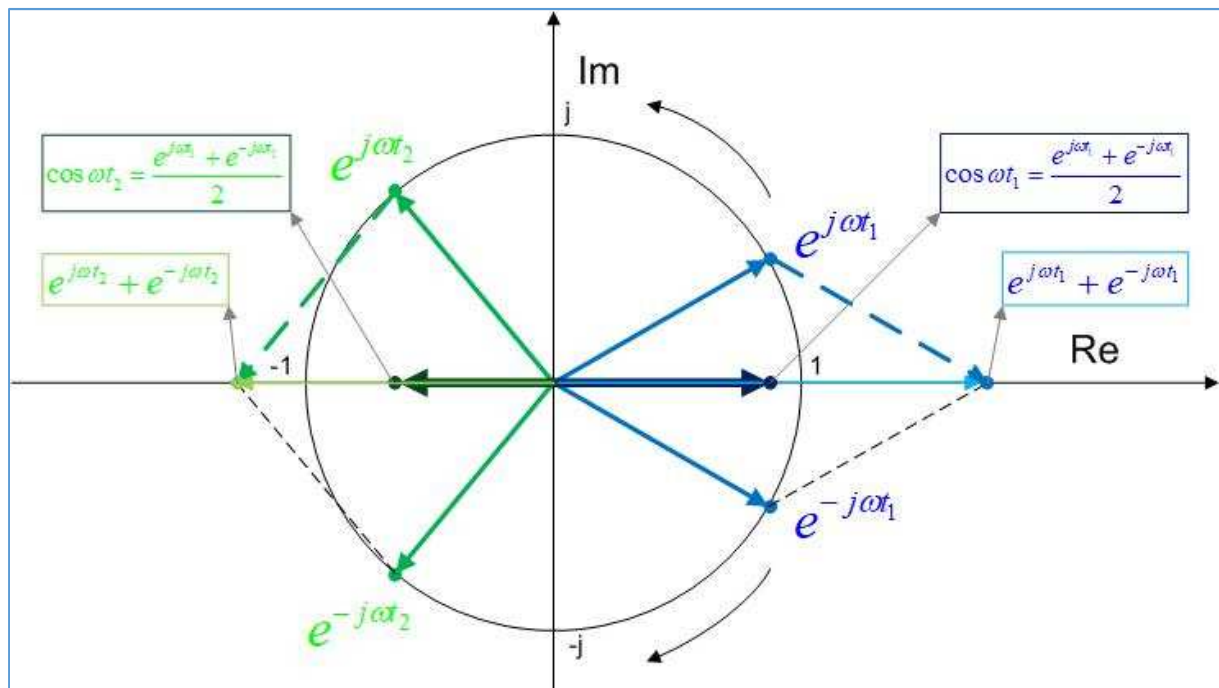


Fig. 6 : Un signal réel $\cos \omega t$ est la somme vectorielle de deux signaux complexes de pulsations opposées, c'est-à-dire $j\omega t$ (fréquence positive) et $-j\omega t$ (fréquence négative). Deux exemples graphiques sont illustrés : au temps t_1 et au temps t_2 . Graphisme : ON4IJ.

Sur la figure 6, le vecteur $e^{j\omega t}$ tourne dans le sens anti-horlogique (fréquence complexe positive) et le vecteur $e^{-j\omega t}$ tourne dans le sens horlogique (fréquence complexe négative). Ces deux vecteurs se situent dans le plan complexe. Lorsqu'on effectue la demi-somme vectorielle de ces deux vecteurs, on retrouve une fonction d'un signal réel $\cos \omega t$: les valeurs obtenues se situent exclusivement sur l'axe des réels. C'est bien la preuve que nous avons un signal réel au sens physique du terme.

On peut tenir le même raisonnement avec une fonction $\sin \omega t$ qui est la soustraction d'une fréquence complexe négative et d'une fréquence complexe positive. Cette différence devra subir une rotation de 90° car elle est affectée globalement du facteur j (voir les formules d'Euler ci-dessus pour $\sin \omega t$). On peut s'apercevoir géométriquement que la demi-différence des deux vecteurs se situe sur l'axe imaginaire, mais comme ce résultat doit être affecté globalement du facteur j , ce résultat subit une rotation de 90° et se retrouve donc sur l'axe des réels, ce qui est bien la preuve qu'il s'agit ici aussi d'un signal réel au sens physique du terme.

À quoi donc tout cela peut-il servir de traiter des fréquences positives et négatives ?

Réponse : à pouvoir réaliser un récepteur SDR homodyne (synchrodyne) avec une fréquence intermédiaire zéro (ZIF : *Zero Intermediate Frequency*).

Dans un récepteur hétérodyne ou superhétérodyne, la fréquence du LO est différente de celle de la fréquence HF désirée (du Grec hétéros qui signifie différent, inégal, autre). Dans un récepteur homodyne, la fréquence du LO est exactement la même que celle de la fréquence HF désirée (du Grec homos qui signifie semblable, pareil).

Reprenons le mélangeur I et Q DDC (*Digital Down Converter*) de la figure 3. Si la fréquence du LO est la même que celle du signal HF désiré, alors à la sortie du mélangeur I et Q, on aura une fréquence intermédiaire qui sera exactement centrée sur zéro Hertz (Zéro FI).

Alors, que deviennent les bandes latérales d'un signal HF modulé si celui-ci devient centré sur zéro Hertz après une conversion directe ZIF ?

Hé bien la bande latérale supérieure sera située dans des fréquences complexes positives et la bande latérale inférieure sera située dans des fréquences complexes négatives. Avec la bande de base composée de fréquences complexes, on peut reconstituer un signal réel comme décrit à la figure 6. On pourra même faire mieux, c'est-à-dire démoduler le signal directement en bande de base. Comme les deux bandes latérales sont composées de vecteurs complexes, on peut traiter leurs modules pour démoduler un signal AM, on peut traiter leurs phases pour démoduler de la FM, et on peut même traiter les vecteurs complexes d'une seule bande latérale à la fois pour démoduler de la SSB.

En pratique, *Low IF* à la place de *Zero IF* au niveau du FPGA :

En pratique, pour qu'un récepteur homodyne fonctionne bien, il faut que la fréquence du LO soit parfaitement la même que celle du signal HF et il faut que ces signaux (LO et HF) soient tous les deux parfaitement en phase, c'est la raison pour laquelle les récepteurs homodynes sont aussi appelés synchrodynes. Dans la pratique, pour synchroniser le LO sur le signal HF, on utilise un système à asservissement de phase (*PLL : Phase Locked Loop*). Ceci n'est pas toujours facile à réaliser, en particulier lorsqu'on doit recevoir des signaux HF très faibles.

Les *transceivers* SDR actuels n'utilisent pas le principe du ZIF (Zéro FI) directement au niveau du FPGA, mais celui d'une conversion directe numérique sur une fréquence intermédiaire de valeur très faible (*Low IF*), de l'ordre de 36 kHz, ce qui permet de loger la largeur de bande nécessaire à tous les types de modulations utilisés par les radioamateurs. Le signal obtenu avec une moyenne fréquence de 36 kHz est alors traité par un DSP et tous les types de démodulation sont effectués par un nouveau mélangeur I et Q avec un LO d'une fréquence de 36 kHz qui est plus facile à synchroniser avec un dispositif PLL sur le signal moyenne fréquence qui a été amplifié et filtré. Le principe du ZIF est donc appliqué dans le DSP dans le domaine des « basses » fréquences (*Low IF*).

Comprendre le fonctionnement d'un mélangeur I et Q ZIF à fréquences complexes :

Accrochez-vous car ceci va peut-être vous paraître relativement abstrait, mais avec quelques graphismes et des mots simples, vous arriverez à comprendre.

Les explications qui vont suivre sont en partie inspirées de l'article « *Quadrature Signals : Complex but Not Complicated* » (Novembre 2008) de Richard G. Lyons, auteur du livre « *Understanding Digital Signal Processing* », 3^{ème} édition (Novembre 2010, Prentice Hall, USA).

Après avoir représenté un signal réel composé de deux signaux complexes dans le domaine du temps (voir figure 6), nous allons à présent examiner ces vecteurs complexes dans le domaine de la fréquence. Quand on évoque le domaine de la fréquence, on pense instinctivement au fonctionnement d'un analyseur de spectre où l'on peut clairement visualiser la raie spectrale d'une fréquence porteuse. Tout ceci est relativement intuitif car nous sommes dans le domaine des signaux réels. Toutefois, lorsqu'on observe une raie spectrale sur un analyseur de spectre, nous n'avons aucune information sur la phase de celle-ci.

Dans ce qui se passe dans un FPGA avec un mélangeur I et Q complexe (traitant des signaux sous forme de vecteurs complexes), nous allons devoir raisonner sur des signaux situés dans le plan complexe et non plus sur un seul axe des nombres réels. Pour pouvoir visualiser la phase d'un signal sur un analyseur de spectre avec un axe X horizontal représentant la fréquence, il faudrait que l'axe vertical Y représentant l'amplitude du signal puisse être subdivisé en deux axes, c'est-à-dire un axe en profondeur Y représentant la partie réelle du vecteur et un axe en hauteur Z représentant la partie imaginaire du vecteur. Tout cela est irréalisable sur un analyseur de spectre conventionnel, mais en revanche il est parfaitement possible de visualiser la raie spectrale d'un signal sur un graphique en trois dimensions avec trois axes : X = fréquence du signal, Y = partie réelle du signal et Z = partie imaginaire du signal, ce qui nous permettra d'obtenir une information sur la phase de cette raie spectrale.

Sur la figure ci-dessous, nous avons représenté quatre cas de figure : une fréquence positive réelle pure $\frac{e^{j\omega t}}{2}$ (en phase), une fréquence positive imaginaire pure $j\frac{e^{j\omega t}}{2}$ (en quadrature de phase), une fréquence négative réelle pure $\frac{e^{-j\omega t}}{2}$ et une fréquence négative imaginaire pure $j\frac{e^{-j\omega t}}{2}$. Ces composantes sont des raies spectrales dans le domaine de la fréquence (axe des fréquences) et dont la phase est représentée dans le plan complexe constitué des axes des parties réelles et des parties imaginaires.

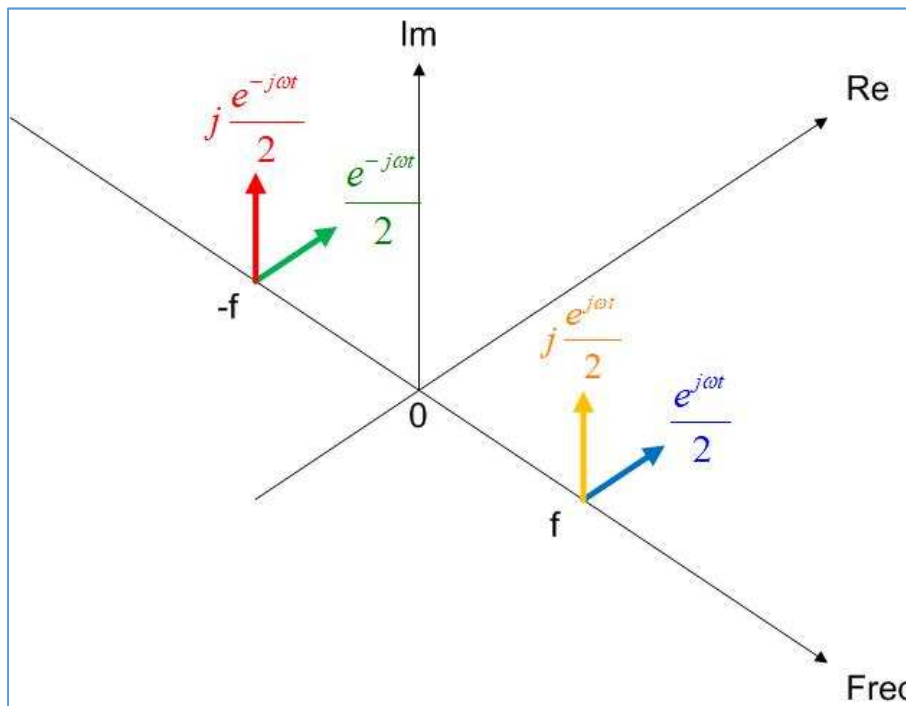


Fig. 7 : Représentation graphique (dans le domaine de la fréquence) de quatre composantes différentes de fréquences complexes, positives, négatives, réelles pures et imaginaires pures. Graphisme : ON4IJ.

Comme vous avez compris le principe du graphique de la figure ci-dessus, on va représenter sur les deux figures suivantes une fonction $\cos \omega t$ et une fonction $\sin \omega t$ avec leurs deux composantes de fréquences complexes positives et négatives selon les formules d'Euler.

$$\cos \omega t = \frac{e^{j\omega t}}{2} + \frac{e^{-j\omega t}}{2}$$

$$\sin \omega t = j\frac{e^{-j\omega t}}{2} - j\frac{e^{j\omega t}}{2}$$

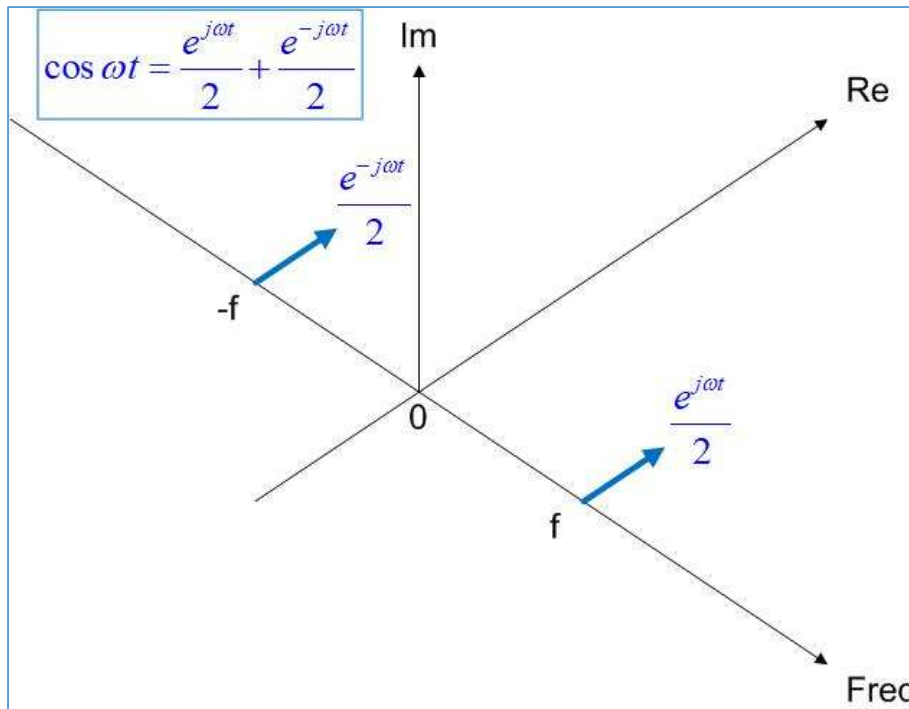


Fig. 8 : Représentation graphique des deux composantes complexes d'une fonction $\cos \omega t$ sous la forme d'une addition de raies spectrales (positive et négative) dans le domaine de la fréquence. Graphisme : ON4IJ.

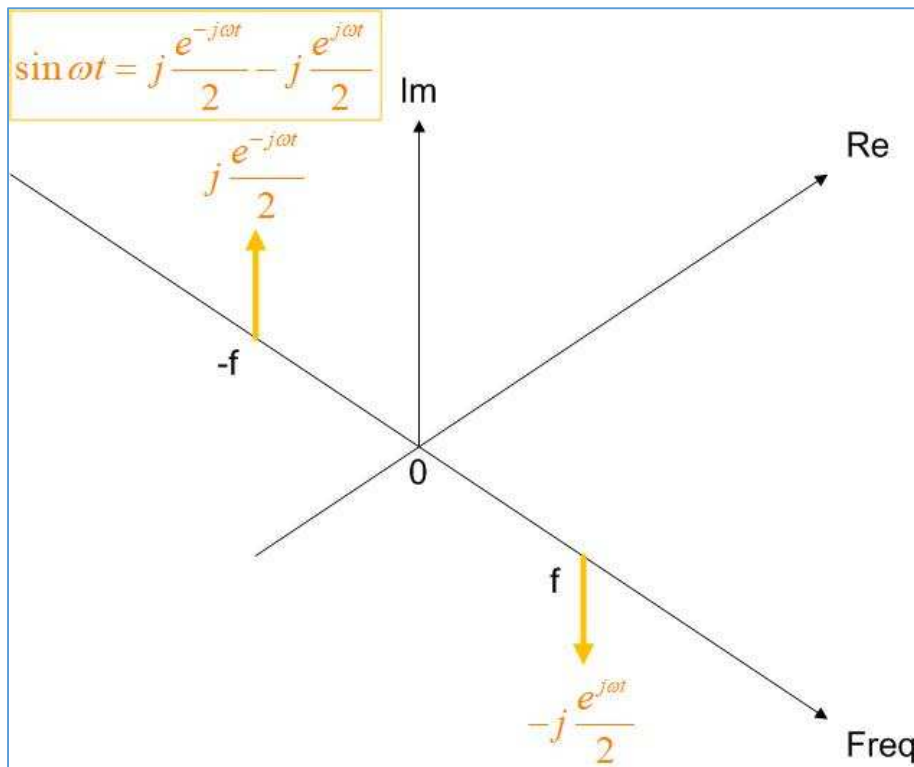


Fig. 9 : Représentation graphique des deux composantes complexes d'une fonction $\sin \omega t$ sous la forme d'une soustraction de raies spectrales (positive et négative) dans le domaine de la fréquence. Graphisme : ON4IJ.

Si l'on veut déphaser une fonction $\sin \omega t$ de 90° , il suffit de multiplier cette fonction par j , ce qui revient à effectuer une rotation de 90° des deux raies spectrales :

$$j \sin \omega t = j \left(j \frac{e^{-j\omega t}}{2} - j \frac{e^{j\omega t}}{2} \right) = -\frac{e^{-j\omega t}}{2} + \frac{e^{j\omega t}}{2} = \frac{e^{j\omega t}}{2} - \frac{e^{-j\omega t}}{2}$$

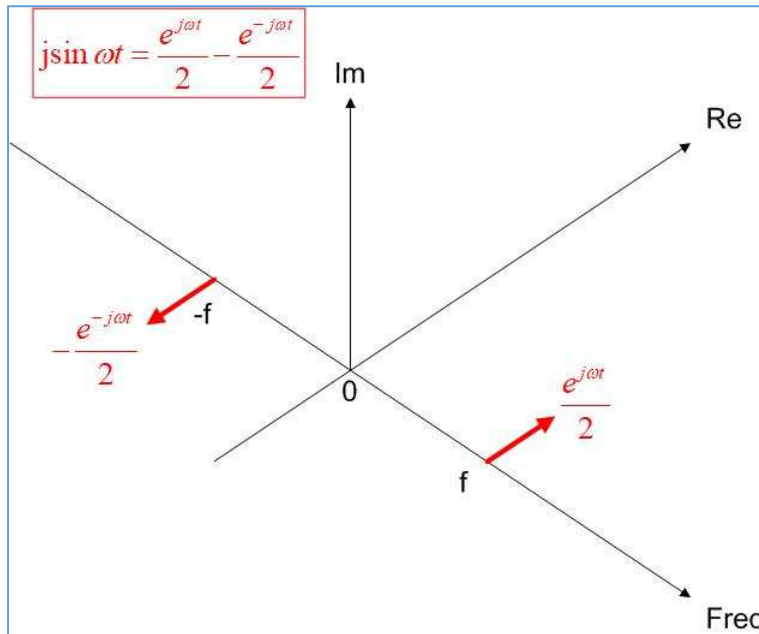


Fig. 10 : Représentation graphique des deux composantes complexes d'une fonction $j \sin \omega t$ sous la forme d'une soustraction de raies spectrales (positive et négative) dans le domaine de la fréquence. Graphisme : ON4IJ.

En additionnant les fonctions $\cos \omega t$ et $j \sin \omega t$, on retrouve bien un signal réel à fréquence positive qui correspond à la notation d'Euler décrite à la figure 5 :

$$e^{j\omega t} = \cos \omega t + j \sin \omega t .$$

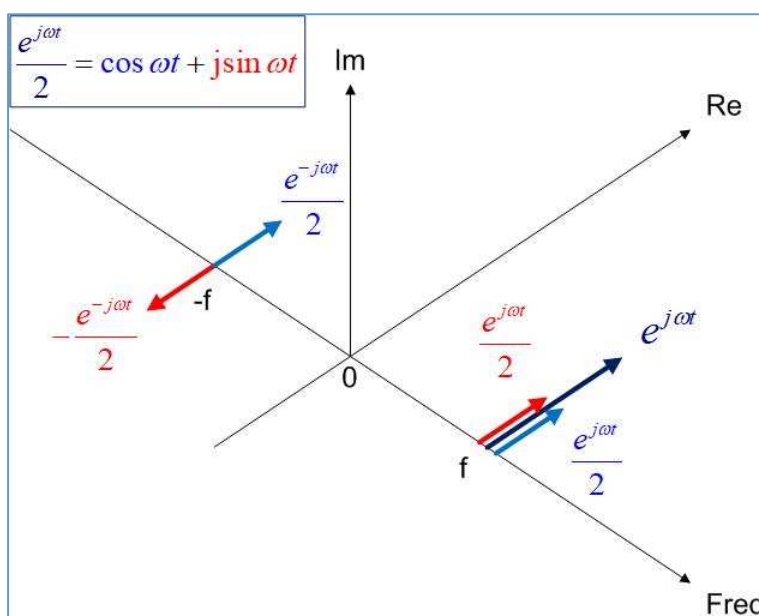


Fig. 11 : Représentation graphique d'un signal réel selon la notation d'Euler. Graphisme : ON4IJ.

Reprenons le mélangeur DDC I et Q de la figure 3. Le signal à la sortie du mélangeur $S(t)$ est le résultat de l'addition des signaux $I(t)$ et $Qd(t)$. Or le signal $Qd(t)$ est issu d'un déphasage de 90° du signal $Q(t)$: $Qd(t) = Q(t) + 90^\circ$. On peut donc transformer cette égalité sous forme complexe : $Qd(t) = jQ(t)$. Ainsi, le signal à la sortie du mélangeur I et Q est **$S(t) = I(t) + jQ(t)$** . On retrouve bien la notation d'Euler d'un signal réel.

Examinons séparément la composition des signaux $I(t)$ et $Q(t)$: ceux-ci sont issus des mélanges (multiplications) du signal HF et du signal du LO. On peut développer ces multiplications de signaux grâce aux formules de Simpson en trigonométrie.

En ce qui concerne le signal $I(t)$, celui-ci est le résultat de la multiplication du signal HF ($\cos \omega_{RF} t$) avec le signal du LO en phase ($\cos \omega_{LO} t$), on a :

$$I(t) = \cos(\omega_{RF} t) \cdot \cos(\omega_{LO} t) = \frac{1}{2} \left[\cos\{(\omega_{RF} + \omega_{LO})t\} + \cos\{(\omega_{RF} - \omega_{LO})t\} \right].$$

En ce qui concerne le signal $Q(t)$, celui-ci est le résultat de la multiplication du signal HF ($\cos \omega_{RF} t$) avec celui du LO en quadrature de phase ($\sin \omega_{LO} t$), on a :

$$Q(t) = \cos(\omega_{RF} t) \cdot \sin(\omega_{LO} t) = \frac{1}{2} \left[\sin\{(\omega_{RF} + \omega_{LO})t\} - \sin\{(\omega_{RF} - \omega_{LO})t\} \right].$$

Dans un mélangeur ZIF (*Zero IF*), la fréquence du LO est identique à celle de la porteuse du signal HF et les deux signaux LO et HF sont en phase (synchrodyne).

On obtient donc avec $\omega_C = \omega_{LO} = \omega_{RF}$:

$$I(t) = \frac{1}{2} [\cos 2\omega_C t + \cos 0t]$$

$$Q(t) = \frac{1}{2} [\sin 2\omega_C t - \sin 0t]$$

Comment interpréter ces résultats ? Les signaux $I(t)$ et $Q(t)$ sont composés, après mélanges, d'une raie spectrale située au double de la fréquence HF ($2\omega t$) et d'une raie spectrale à une fréquence de 0 Hz.

Dans la pratique, un signal HF modulé occupe une largeur de bande de valeur B nécessaire au contenu de la modulation. Le signal HF modulé se situe donc en instantané entre les deux valeurs extrêmes de part et d'autre de la porteuse de fréquence f_c (de pulsation ω_C), c'est-à-dire : $f_c + (B/2)$ et $f_c - (B/2)$. On peut représenter sur un graphique les bandes occupées par les signaux en valeurs complexes après mélanges. Les bandes occupées seront centrées sur $2f_c$, sur $-2f_c$, sur 0 Hz entre $-B/2$ et $+B/2$ et sur 0 Hz entre $+B/2$ et $-B/2$.

$$I(t) = \frac{1}{2} \left[\cos\left(2\omega_c \pm \frac{B}{2}\right)t + \cos\left(0 \pm \frac{B}{2}\right)t \right]$$

$$Q(t) = \frac{1}{2} \left[\sin\left(2\omega_c \pm \frac{B}{2}\right)t - \sin\left(0 \pm \frac{B}{2}\right)t \right]$$

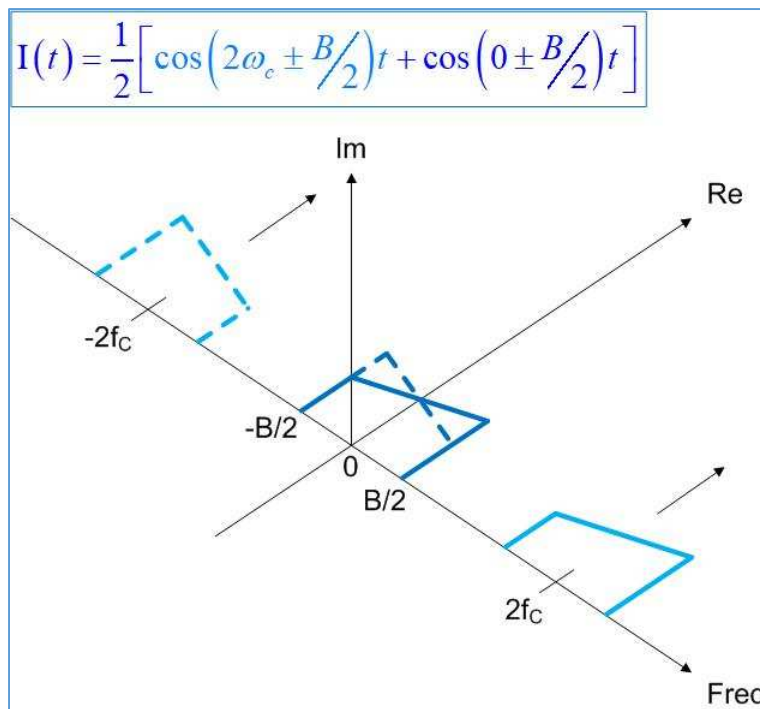


Fig. 12 : Représentation graphique de la bande du signal $I(t)$ à la sortie du mélangeur I sous forme de somme de fréquences complexes. Graphisme : ON4IJ.

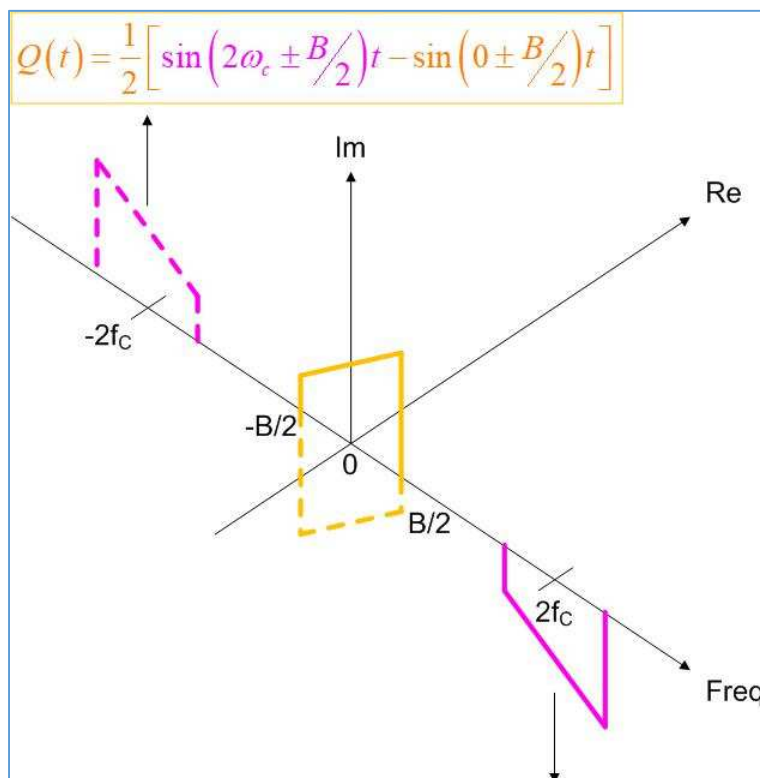


Fig. 13 : Représentation graphique de la bande du signal $Q(t)$ à la sortie du mélangeur Q sous forme de différence de fréquences complexes. Graphisme : ON4IJ.

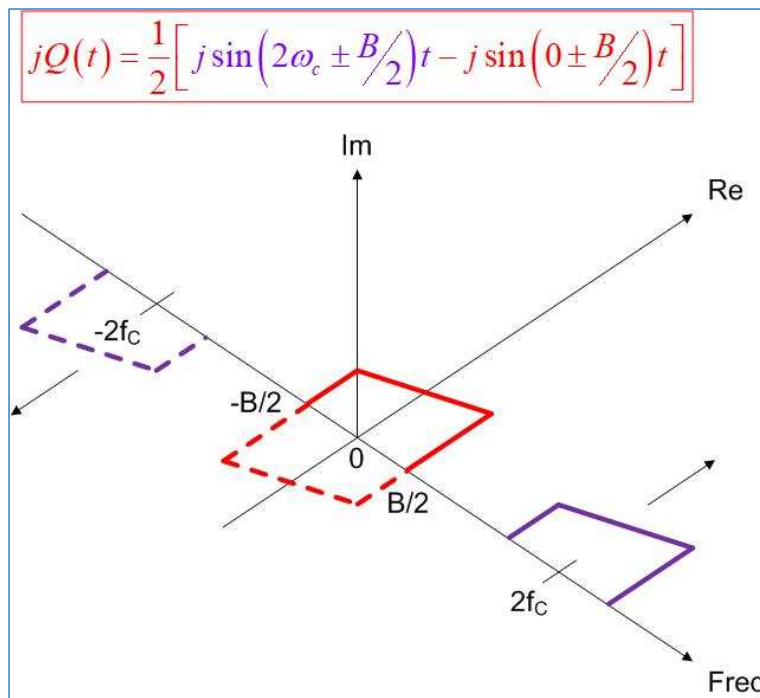


Fig. 14 : Représentation graphique de la bande du signal $jQ(t)$ à la sortie $Q_d(t)$ (déphasage de 90°) après le mélangeur Q sous forme de différence de fréquences complexes. Graphisme : ON4IJ.

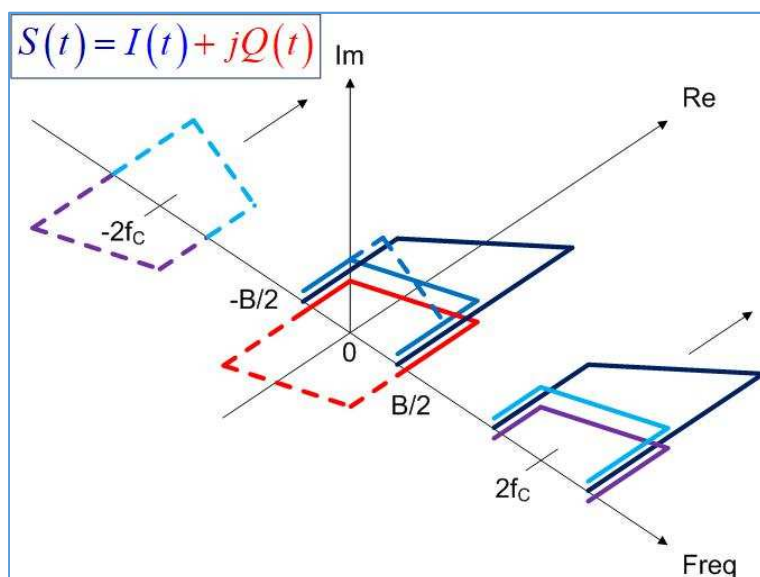


Fig. 15 : Représentation graphique de la bande du signal $S(t) = I(t) + jQ(t)$ à la sortie du mélangeur I et Q. Les bandes tracées en traits discontinus s'annulent car elles sont de signes opposés. Il reste une bande centrée sur $2f_c$ et une bande centrée sur 0 Hz. Graphisme : ON4IJ.

Après filtrage de la bande centrée sur $2f_c$, il reste uniquement la bande de base centrée sur 0 Hz. Le filtrage est facile à réaliser car la bande centrée sur $2f_c$ est très éloignée de la bande de base. En pratique, on filtre directement les signaux sur chaque branche $I(t)$ et $Q(t)$ avec deux filtres numériques identiques pour ne laisser passer que les composantes complexes de la bande de base avant d'effectuer la somme $I(t) + jQ(t)$.

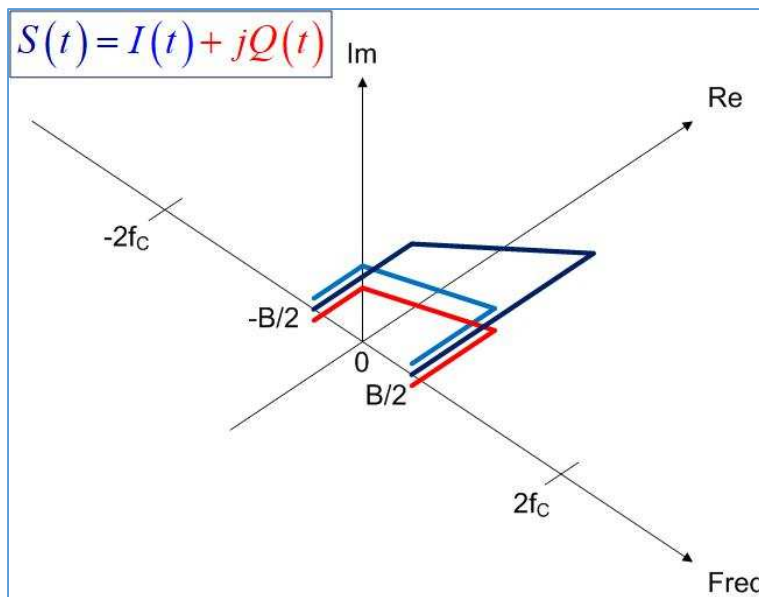


Fig. 16 : Idem que la figure 15 mais ici les bandes des fréquences complexes centrées sur $2f_c$ et $-2f_c$ sont filtrées par deux filtres identiques directement placés aux sorties I(t) et Q(t) du mélangeur I et Q. Graphisme : ON4IJ.

Tous les graphiques des quelques figures ci-dessus ont dû vous aider à comprendre le concept de la conversion directe sur une fréquence intermédiaire zéro (ZIF) avec un mélangeur I et Q complexe.

En pratique, au niveau du DSP d'un récepteur SDR, les signaux I(t) et Q(t) en bande de base centrée sur zéro sont traités séparément sur deux voies distinctes pour pouvoir effectuer d'autres opérations qu'une simple addition entre les deux signaux. Par exemple en traitant le module des signaux on peut démoduler une amplitude (AM ou SSB), en traitant l'argument des signaux on peut démoduler une phase (FM ou PM). Ces deux opérations peuvent être effectuées conjointement et en même temps pour démoduler les composantes d'amplitude et les composantes de phase de certaines modulations numériques comme par exemple de l'APSK : *Amplitude and Phase Shift Keying* ou *Asymmetric Phase Shift Keying*.

Les filtres numériques :

Sans rentrer dans les détails, ce que nous retiendrons, c'est l'utilisation des filtres FIR *Finite Impulse Response filter* et CIC *Cascaded Integrated Comb filter* (filtres en peigne) utilisés dans les *transceivers* SDR. Les filtres CIC sont particulièrement utilisés dans les procédés de décimation et d'interpolation. Les filtres devront être linéaires en phase (délais de groupe constant) pour garder une maîtrise parfaite des phases dans un mélangeur I et Q et pour ne pas introduire de distorsion de phase dans les modulations numériques. Les explications relatives aux filtres numériques sortent du cadre de cet article et nous invitons le lecteur à se documenter sur ce vaste sujet.

Qu'y a-t-il juste après le connecteur d'antenne d'un récepteur SDR ?

Réponse : quelques filtres passe-bande passifs pour les différentes gammes d'ondes courtes, un atténuateur à diodes PIN (*Positive Intrinsic Negative*) piloté en tension par l'AGC, un amplificateur HF à faible bruit et à très large bande (LNA : *Low Noise Amplifier*) et puis directement un convertisseur analogique numérique rapide (*Fast ADC*). On appelle cet ensemble le *RF Front End*. L'ADC va échantillonner la totalité d'une bande HF d'un seul coup en traitant en temps réel tous les signaux qui sont présents sur cette bande. Les signaux numériques à la sortie de l'ADC sont directement envoyés au FPGA.

Qu'y a-t-il juste avant le connecteur d'antenne d'un émetteur SDR ?

Réponse : un convertisseur numérique analogique (DAC) recevant les signaux numériques directement du FPGA, un filtre passe-bas passif, un amplificateur HF de puissance (PA) avec ses filtres de sortie et puis un coupleur d'antenne automatique (ATU).

Et c'est tout ?

Oui c'est tout ce qu'il y a d'analogique dans un *transceiver* SDR. Il faut juste rajouter un préampli micro et un ampli BF pour le haut-parleur. À part cela, tout le reste est exclusivement numérique.

On peut maintenant tracer le schéma-bloc d'un *transceiver* SDR à conversion numérique directe.

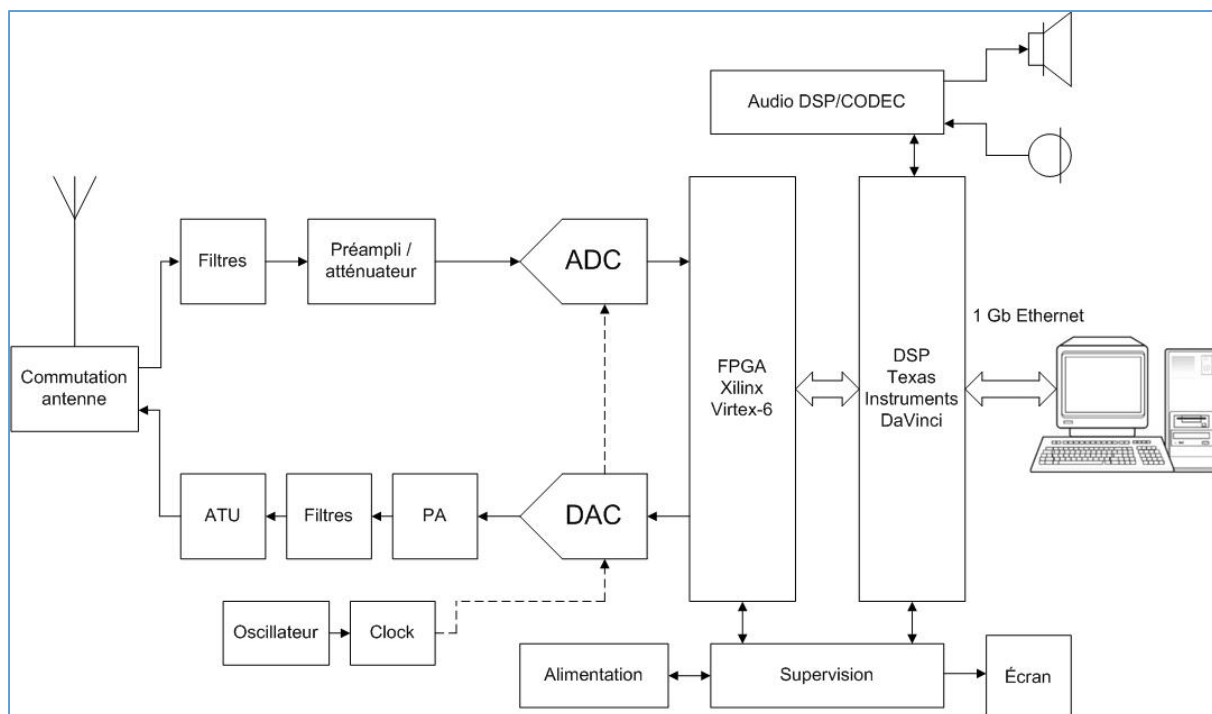


Fig. 17 : Schéma-bloc d'un *transceiver* FlexRadio 6500. Source : FlexRadio Systems et I0GEJ, Adam Farson VA7OJ/AB4OJ, "SDR versus Legacy Radio – Which is Better ?", APDX 2016, Osaka, Japan. Graphisme : ON4IJ.

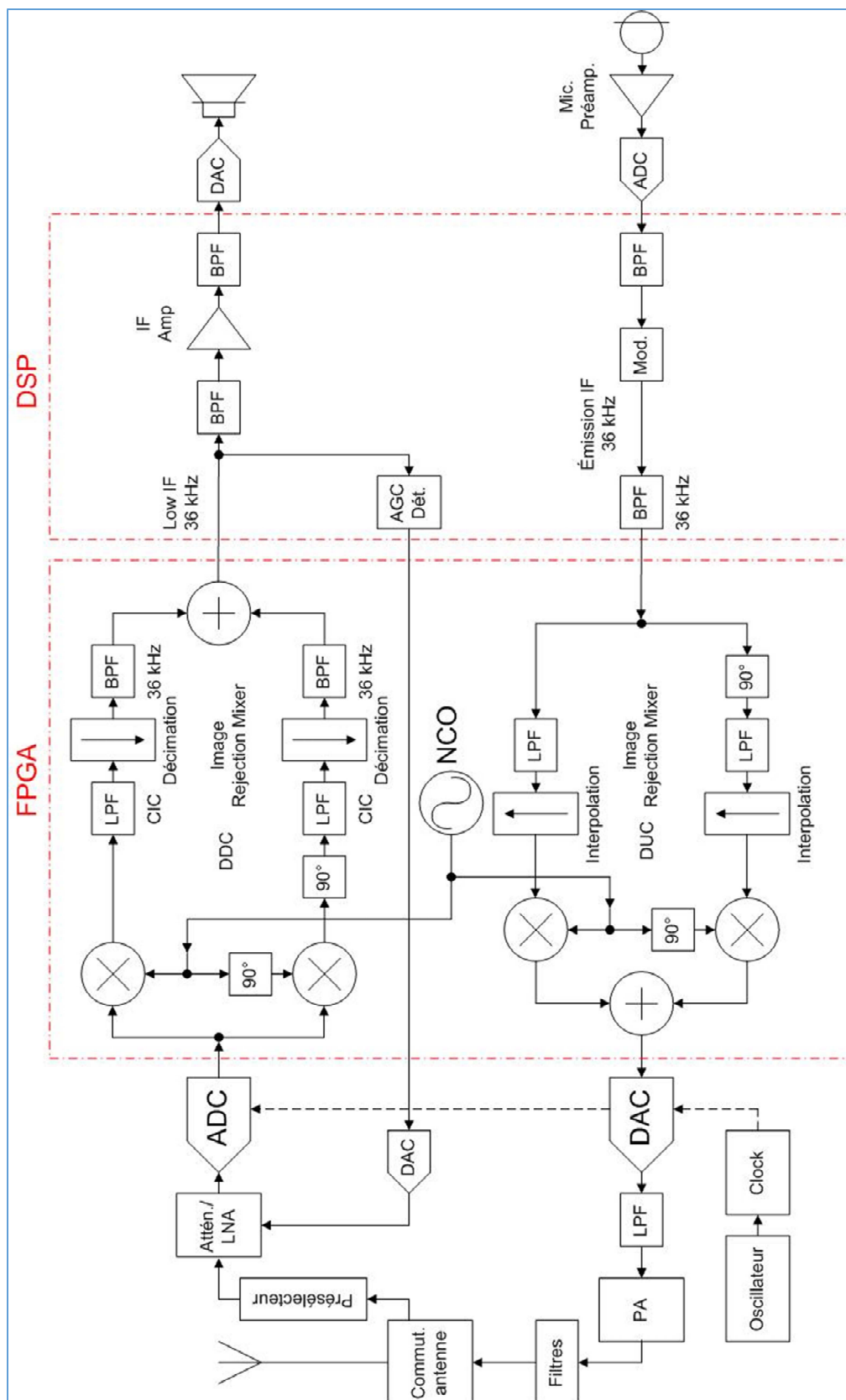


Fig. 18 : Schéma-bloc d'un *transceiver* « Stand Alone » similaire au Icom IC-7300. Source : Adam Farson VA7OJ/AB4OJ, "SDR versus Legacy Radio – Which is Better ?", APDX 2016, Osaka, Japan. Graphisme : ON4IJ.

L'ADC, un élément à examiner à la loupe :

Dans cette partie sur l'ADC, nous supposons que le lecteur est déjà un petit peu familier avec ce type de composant. Nous allons cibler les caractéristiques qui sont importantes pour obtenir des bonnes performances sur un récepteur SDR. C'est entre autres ici que certains tests qui sont pratiqués sur des récepteurs superhétérodynes ne sont plus du tout valable pour tester des récepteurs SDR où il va falloir employer d'autres méthodes de tests.

L'évolution des ADC pour les récepteurs SDR :

La caractéristique critique d'un ADC pour qu'il puisse convertir un signal radiofréquence est sa vitesse maximale d'échantillonnage pour pouvoir respecter le théorème de Nyquist-Shannon : la fréquence maximale d'un signal ne peut pas dépasser la moitié de la vitesse d'échantillonnage d'un ADC. Ce n'est que depuis quelques années que les grands fabricants de circuits intégrés électroniques ont pu produire des ADC rapides (*Fast ADC*) avec des vitesses d'échantillonnage de l'ordre de 100 MSPS à 1 GSPS et avec une résolution acceptable de 14 bits ou de 16 bits. C'est ainsi que la partie numérique des SDR a pu remonter de la moyenne fréquence jusqu'à l'antenne pour traiter directement les signaux HF, actuellement en 2018 jusqu'à une fréquence de 50 MHz pour les *transceivers* SDR des radioamateurs.

Actuellement en 2018 les *transceivers* SDR à conversion numérique directe qui sont disponibles sur le marché couvrent les bandes en ondes courtes depuis le 160 m jusqu'au 6 m. Avec l'évolution technologique, on peut espérer d'assister dans l'avenir à l'émergence de *transceivers* SDR pour les bandes VHF et UHF. Pour les bandes SHF et microondes, il faudra encore utiliser vraisemblablement pendant longtemps des *transverters* analogiques.

La dynamique d'un ADC et son rapport signal sur bruit (SNR) :

La dynamique d'un ADC est celle qui est située entre le plus petit signal qu'il peut traiter au-dessus du plancher de bruit et le plus grand signal qu'il ne peut pas dépasser à fond d'échelle appelé le 0 dBFS (0 dB *Full Scale*, à fond d'échelle). L'amplitude d'un signal appliqué à l'entrée d'un ADC sera souvent exprimée en dBFS, c'est-à-dire par le rapport qui existe entre l'amplitude du signal appliqué à l'entrée et celle que l'ADC ne peut pas dépasser à fond d'échelle. L'amplitude en Volt du 0 dBFS est fixée définitivement par le constructeur et celle-ci est immuable pour un ADC donné.

Comment déterminer le plancher de bruit d'un ADC ?

C'est ici qu'on ne peut plus raisonner comme on le faisait en analogique. Il y a plusieurs sources de bruit dans un ADC. Le bruit thermique, le bruit de quantification, le bruit dû à la disparité du moment précis où est effectuée la conversion (*Aperture Jitter*) au niveau de l'amplificateur échantillonneur-bloqueur (SHA : *Sample and Hold Amplifier*), le bruit dû à la gigue de phase du signal d'horloge (*Phase Jitter*), etc. qui sont les principaux contributeurs de bruit d'un ADC rapide. Nous allons examiner tout cela en détails.

Bruit de quantification d'un ADC :

La principale source de bruit d'un ADC est celle qui est due à la quantification d'un signal analogique en signal numérique. Un signal analogique peut prendre une infinité de valeurs différentes d'amplitude mais un signal numérique ne peut prendre qu'un nombre fini de valeurs discrètes (N) qui est déterminé par le nombre de bits (n) de l'ADC : $N = 2^n$. Si le signal analogique a une valeur instantanée d'amplitude qui se situe entre deux valeurs numériques contigües, le mot binaire à la sortie de l'ADC sera pris à une valeur par défaut ou par excès par rapport à celle du signal analogique au moment de la conversion. Cette erreur de quantification produit du bruit et de la distorsion sur le signal. Nous expliquerons plus loin comment calculer l'erreur de quantification et comment la convertir en termes de bruit en valeur efficace (RMS).

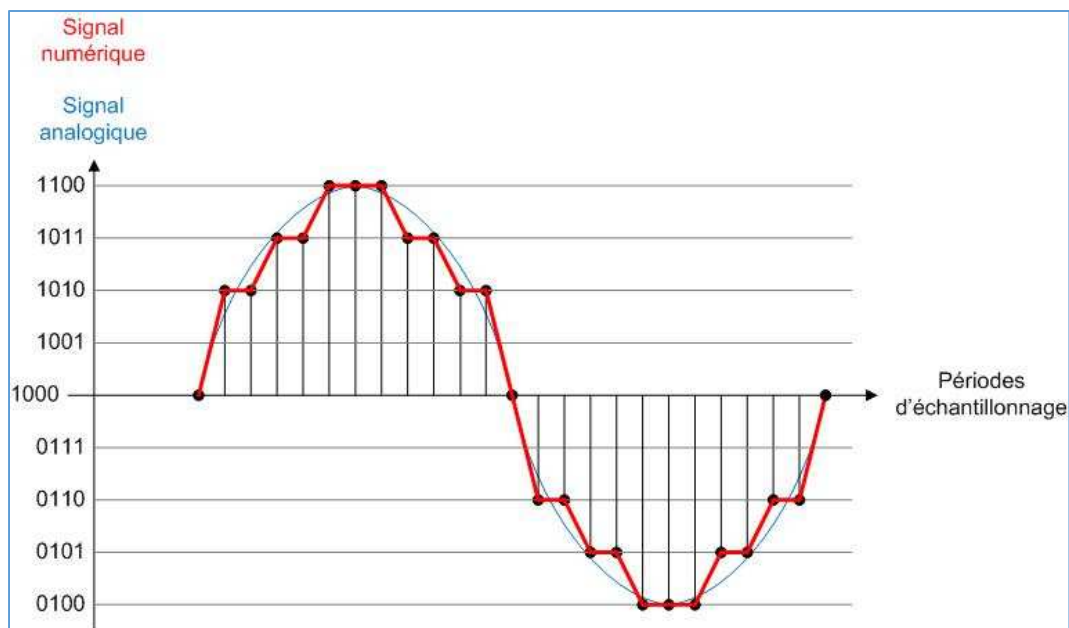


Fig. 19 : Illustration des erreurs de quantification lors de la conversion d'un signal analogique en signal numérique produisant du bruit de quantification et de la distorsion sur le signal. Graphisme : ON4IJ.

Fonction de transfert d'un ADC :

La fonction de transfert d'un circuit électronique est celle qui caractérise la valeur du signal à la sortie de ce circuit par rapport à la valeur du signal qu'on lui applique à son entrée. La fonction de transfert d'un ADC est une fonction escalier : au fur et à mesure qu'on augmente la tension analogique à l'entrée de l'ADC, la sortie numérique va sauter d'une valeur discrète (mot binaire) à la valeur discrète suivante par incréments successifs. La taille des incréments correspond à un LSB (*Least Significant Bit*), c'est-à-dire au bit du poids le plus faible du mot binaire. Appelons « q » la taille d'incrément d'un LSB.

L'erreur maximale de quantification d'un ADC correspond à la moitié d'un LSB. En effet, si la tension analogique se situe exactement au milieu entre deux valeurs discrètes à la sortie de l'ADC, l'erreur est de $+q/2$ si l'ADC prend une valeur binaire par excès et est de $-q/2$ si l'ADC prend une valeur binaire par défaut.

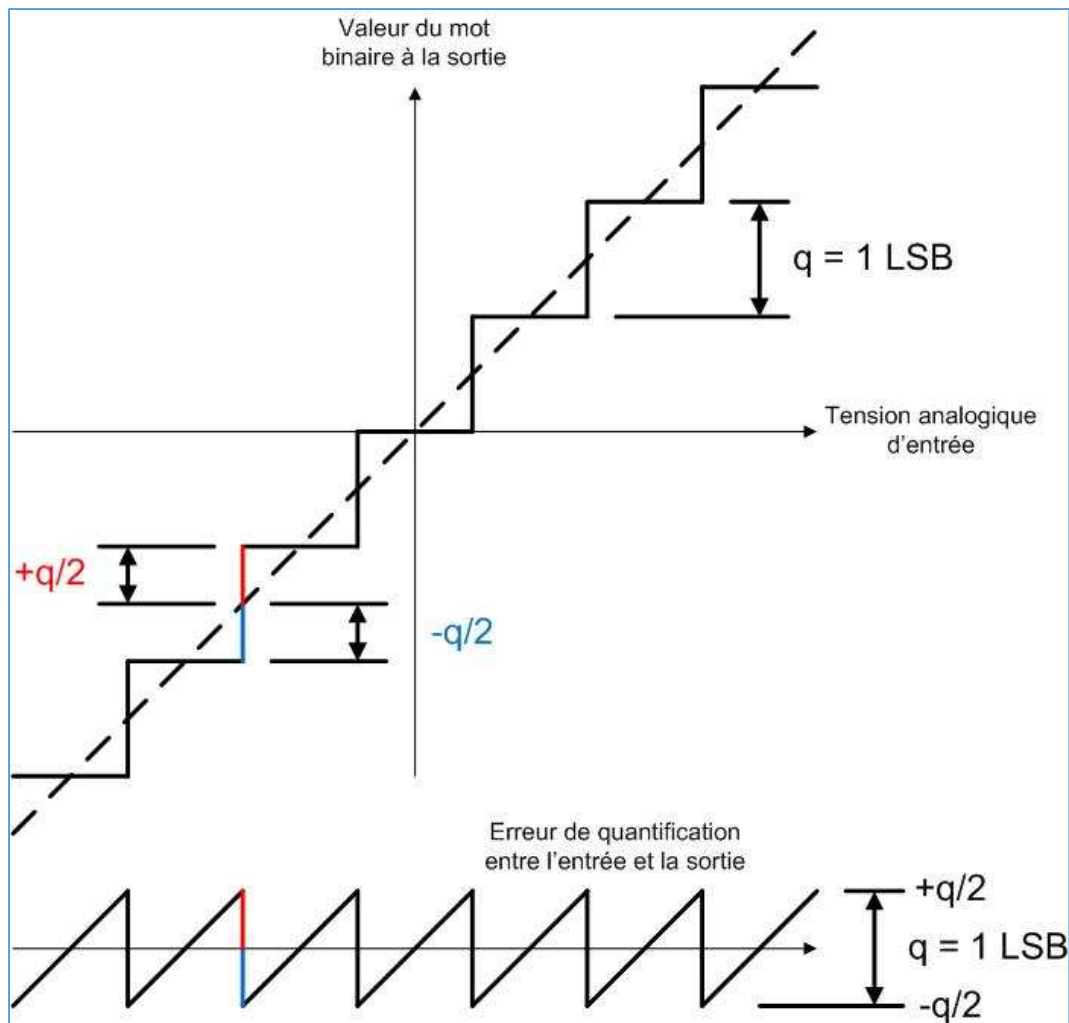


Fig. 20 : Fonction de transfert d'un ADC en forme d'escalier et valeur de l'erreur de quantification entre l'entrée et la sortie d'un ADC prenant la forme d'une dent de scie dont l'amplitude crête à crête équivaut celle de la taille q d'un LSB. Graphisme : ON4IJ.

Calcul de l'erreur de quantification d'un ADC :

Si l'on exprime la variation de l'erreur de quantification dans le domaine du temps pour un signal d'entrée analogique dont l'amplitude croît linéairement dans le domaine du temps, on obtient un signal en dent de scie dans le domaine du temps. La fonction de l'erreur en fonction du temps peut s'écrire $e(t)$. Sur une seule période de ce signal en dent de scie, on peut modéliser cette fonction comme celle de l'équation d'une droite ($y = s.x + p$) d'une pente s (*Slope*) et passant par l'origine des axes ($y = s.x$), c'est-à-dire ici : $e(t) = s.t$. Cette fonction a pour valeurs extrêmes $+q/2$ et $-q/2$ (domaine de variation). Il reste à donner le domaine de définition de cette fonction sur un intervalle de temps correspondant à une période, c'est-à-dire l'étendue de la variation de x de l'équation de la droite $y = s.x$ en fonction de sa pente et en fonction de ses valeurs extrêmes : $x = y/s$.

On aura le domaine de définition dans le temps de la fonction $e(t)$ qui sera compris entre :

$$t_{\min} = \frac{-q/2}{s} \text{ et } t_{\max} = \frac{+q/2}{s}$$

$$e(t) = s \cdot t \text{ avec } \frac{-q}{2s} < t < \frac{+q}{2s}$$

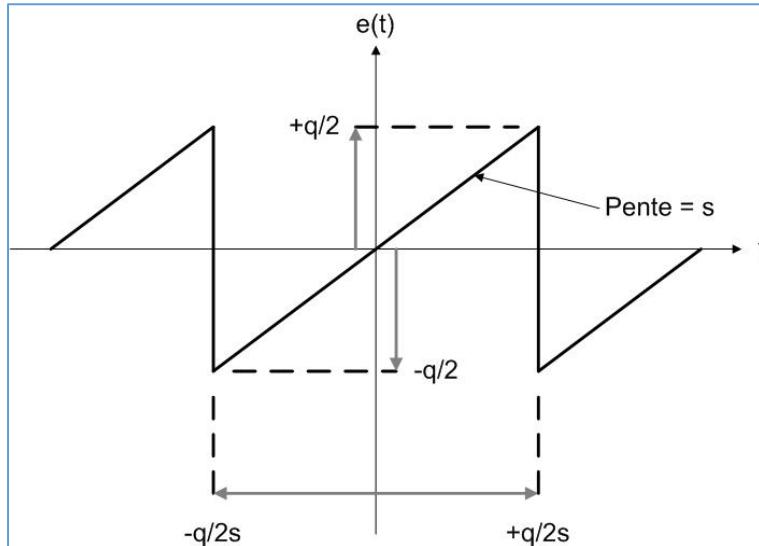


Fig. 21 : Expression de l'erreur de quantification d'un ADC en fonction du temps sur une période de q/s .
Graphisme : ON4IJ.

Nous allons à présent calculer la valeur efficace de ce signal en dent de scie (voir l'article « [Composition de signaux et mesures de valeurs de tension RMS](http://ON5VL.org) » sur ON5VL.org).

On se souvient que la valeur efficace d'un signal sinusoïdal est : $U_{RMS \sin} = \frac{U_{\max}}{\sqrt{2}}$.

Pour un signal en dent de scie (triangulaire), la valeur efficace est : $U_{RMS \triangle} = \frac{U_{\max}}{\sqrt{3}}$

Donc ici, $e_{RMS} = \frac{q/2}{\sqrt{3}} = \frac{q}{2\sqrt{3}} = \frac{q}{\sqrt{12}}$. Cette valeur est le plancher de bruit de quantification d'un ADC.

Pour ceux qui sont friands de mathématiques supérieures et d'intégrales, voici en deux lignes le détail du calcul :

$$U_{RMS} = \sqrt{\frac{1}{T} \int_0^T u^2(t) dt} \text{ (définition de la valeur RMS)}$$

$$e_{RMS} = \sqrt{\frac{s}{q} \int_{-q/2s}^{+q/2s} (s \cdot t)^2 dt} = \sqrt{\frac{q^2}{12}} = \frac{q}{\sqrt{12}}$$

Calcul du rapport signal sur bruit d'un ADC : SNR démystifié

Prenons un signal sinusoïdal dont l'amplitude place l'ADC dans les conditions de fond d'échelle, c'est-à-dire le signal maximum que l'ADC peut convertir, autrement dit la valeur de l'amplitude crête à crête du signal correspond au 0 dBFS. Depuis la crête négative du signal jusqu'à sa crête positive, l'ADC va pouvoir convertir ce signal en un nombre de valeurs binaires différentes qui est fonction de son nombre de bits : $N = 2^n$. Pour une taille d'incrément q de l'ADC, le 0 dBFS correspond à $q \cdot 2^n$ qui équivaut l'amplitude crête à crête du signal sinusoïdal. L'amplitude en crête (V_{\max}) du signal sinusoïdal vaudra donc : $V_{\max} = \frac{q \cdot 2^n}{2}$. On peut exprimer le signal sinusoïdal dans le

domaine du temps comme suit : $v(t) = V_{\max} \cdot \sin(\omega t) = \frac{q \cdot 2^n}{2} \cdot \sin(\omega t)$.

La valeur efficace (RMS) d'un signal sinusoïdal est : $V_{\text{RMS sin}} = \frac{V_{\max}}{\sqrt{2}}$. Ainsi, la valeur

efficace d'un signal sinusoïdal à 0 dBFS est donc : $V_{\text{RMS}} = \frac{\frac{q \cdot 2^n}{2}}{\sqrt{2}} = \frac{q \cdot 2^n}{2\sqrt{2}}$.

Le rapport signal sur bruit théorique (SNR) d'un ADC est le rapport entre le signal sinusoïdal à 0 dBFS et le bruit de quantification (e_{RMS}) de cet ADC :

$$SNR = 20 \log \frac{\text{valeur RMS signal 0 dBFS}}{\text{valeur RMS bruit de quantification}}$$

$$SNR = 20 \log \frac{\frac{q \cdot 2^n}{2\sqrt{2}}}{\frac{q}{\sqrt{12}}} = 20 \log \frac{q \cdot 2^n}{q} \cdot \frac{2\sqrt{3}}{2\sqrt{2}}$$

$$SNR = 20 \log 2^n \cdot \sqrt{\frac{3}{2}} = 20 \log 2^n + 20 \log \sqrt{\frac{3}{2}}$$

$$SNR = n \cdot 20 \log 2 + 20 \log \sqrt{\frac{3}{2}}$$

$$SNR = 6,0206 \cdot n + 1,7609$$

Tout cela pour ça :

Le rapport signal sur bruit théorique d'un ADC en dB sur la bande passante de Nyquist, c'est-à-dire du courant continu (DC) jusqu'à $f_s/2$ (f_s = fréquence d'échantillonnage) et avec n le nombre de bit de l'ADC, le SNR est :

$$\mathbf{SNR = 6,02.n + 1,76 \text{ dB}}$$

C'est cette équation que vous retrouverez dans tous les livres traitant des ADC, mais au moins maintenant, vous savez exactement d'où cela vient : SNR démystifié !

Gamme dynamique théorique d'un ADC :

Comme le SNR calculé ci-dessus exprime le rapport entre le plus grand signal que l'ADC peut traiter (0 dBFS) et la valeur du plancher de bruit de quantification de l'ADC, le SNR exprime directement la gamme dynamique théorique d'un ADC et celle-ci est uniquement fonction du nombre de bits de l'ADC. Voici le tableau ci-dessous qui va résumer cela pour quelques *Fast ADC*. Actuellement en 2018, le nombre maximum de bits des *Fast ADC* est de 16 bits.

La gamme dynamique théorique d'un ADC est uniquement fonction de son nombre de bits car elle est fonction du SNR théorique :

Nombre de bit de l'ADC	SNR théorique (i.e. gamme dynamique théorique)
8	49,9 dB
10	61,9 dB
12	74 dB
14	86 dB
16	98 dB

Cette gamme dynamique est théorique car elle tient uniquement compte du bruit de quantification de l'ADC sans tenir compte des autres contributeurs de bruit du composant. Dans la réalité, le SNR des ADC est plus petit que le SNR théorique. Le SNR réel des ADC est communiqué dans les caractéristiques (*Datasheet*) du composant. Toutefois, cela nous donne directement une idée sur le choix de l'ADC pour une application qui exige une gamme dynamique donnée, autrement dit, cela fixe le nombre de bits de l'ADC que nous devons choisir.

Distorsion du signal converti par un ADC :

La distorsion sur un signal sinusoïdal se manifeste par la présence d'harmoniques qui se superposent au fondamental du signal. On parlera donc de distorsion harmonique. Pour quantifier la dynamique réelle d'un ADC, il y a lieu de tenir compte de la distorsion et du bruit.

Tout cela nous amène à plusieurs appellations que nous allons éclaircir une par une. Ainsi, quand vous lirez les caractéristiques (*Datasheet*) d'un ADC, vous comprendrez mieux de quoi il s'agit.

Distorsion harmonique :

La distorsion harmonique est exprimée en dBc (par rapport à l'amplitude de la porteuse : $c = \text{Carrier}$). La distorsion harmonique n'a de sens que si l'on spécifie de quelle harmonique il s'agit, c'est-à-dire qu'il faut mentionner son rang. La distorsion harmonique est le rapport entre l'amplitude RMS du fondamental (porteuse) du signal et l'amplitude RMS de l'harmonique dont il est question. Pour que cette mesure puisse avoir une signification exploitable, il faut mentionner l'amplitude du fondamental en dBFS.

En général, on mesure la distorsion harmonique pour un signal fondamental situé juste en dessous du 0 dBFS, par exemple -1 dBFS ou -0,5 dBFS, mais cette mesure peut tout aussi bien être effectuée à n'importe quel niveau de signal pour autant que son amplitude soit mentionnée. On exprime en général la distorsion harmonique pour le rang de l'harmonique dont l'amplitude est la plus élevée de toutes.

Exemple : -90dBc pour l'harmonique 2 et une amplitude du fondamental de -1 dBFS.

Dans d'autres cas, on peut mesurer la distorsion harmonique en prenant en compte uniquement les deux harmoniques les plus significatives, c'est-à-dire les harmoniques 2 et 3. Dans ce cas, on doit calculer une moyenne quadratique entre les amplitudes RMS de ces deux harmoniques (racine carrée de la somme des carrés, RSS : *Root Sum Square*). Tout ceci doit être spécifié avec le relevé de mesure.

Remarque : la mesure des harmoniques à la sortie numérique d'un ADC s'effectue avec un analyseur FFT (*Fast Fourier Transform*). Il y a lieu cependant de bien régler l'appareil à une résolution suffisante pour que le bruit de fond de l'instrument de mesure se situe bien en dessous du bruit de fond de l'ADC sous test. C'est aussi ce que l'on effectue avec un analyseur de spectre classique en réglant sa résolution de bande passante (RBW : *Resolution BandWidth*) d'une manière optimale pour le signal que l'on veut mesurer dans des conditions bien définies.

Distorsion harmonique totale (THD : *Total Harmonic Distortion*) :

La distorsion harmonique totale (dBc) est le rapport entre l'amplitude RMS du fondamental du signal et la valeur RMS de la moyenne quadratique (RSS) des amplitudes de toutes les harmoniques. En général, ce sont uniquement les cinq premières harmoniques qui sont prises en compte car les harmoniques de rangs plus élevés deviennent négligeables et n'ont plus de contribution significative sur la mesure. La mesure est en général effectuée pour une amplitude du signal à -1 dBFS ou -0,5 dBFS mais peut aussi être effectuée pour n'importe quel niveau d'amplitude pour autant que ce niveau soit spécifié.

$$THD [dB] = 20 \log \frac{\sqrt{V_{RMS\ h2}^2 + V_{RMS\ h3}^2 + V_{RMS\ h4}^2 + V_{RMS\ h5}^2 + V_{RMS\ h6}^2 + \dots}}{V_{RMS\ \text{fondamental du signal}}}$$

Distorsion harmonique totale + bruit (THD + N) ; N = *Noise* :

La THD + N (dBc) est le rapport entre l'amplitude RMS du fondamental du signal et la valeur RMS de la moyenne quadratique (RSS) des amplitudes de toutes les harmoniques et de toutes les composantes de bruit sauf la composante continue (DC). La bande passante dans laquelle les composantes de bruit sont mesurées doit absolument être spécifiée. En général la bande passante de mesure correspond à la bande passante de Nyquist, c'est-à-dire de DC à $f_s/2$; dans ce cas précis la mesure THD + N équivaut la mesure SINAD : *Signal Noise And Distortion* (voir plus loin).

Soyez toutefois attentifs car la THD + N peut être mesurée intentionnellement dans une bande passante plus petite que celle de la bande passante de Nyquist. (On parlera entre autres de gain de procédé ; voir plus loin).

$$THD \text{ [dB]} = 20 \log \frac{\sqrt{V_{RMS \text{ h}2}^2 + V_{RMS \text{ h}3}^2 + V_{RMS \text{ h}4}^2 + V_{RMS \text{ h}5}^2 + V_{RMS \text{ h}6}^2 + \dots + V_{RMS \text{ Noise}}^2}}{V_{RMS \text{ fondamental du signal}}}$$

Gamme dynamique sans *Spurious* (SFDR : *Spurious Free Dynamic Range*) :

La SFDR (dBc) est le rapport entre l'amplitude RMS du fondamental du signal et la valeur RMS du *Spurious* dont l'amplitude est la plus élevée quel que soit son emplacement dans le spectre de fréquence analysé. Le *Spurious* le plus élevé n'est pas nécessairement un harmonique du signal et peut donc se situer n'importe où dans le spectre des fréquences, y compris à une fréquence inférieure à celle du fondamental du signal.

La SFDR est soit exprimée en dBc soit directement en dBFS (SFDRFS). Lorsque la SFDRFS est exprimée en dBFS, la valeur RMS du fondamental du signal doit être spécifiée. La SFDR est une caractéristique importante dans les radiocommunications car elle permet de quantifier la valeur la plus petite qu'il est possible de convertir et qui peut être distinguée d'un signal non désiré provenant d'une interférence à cause d'un signal fort.

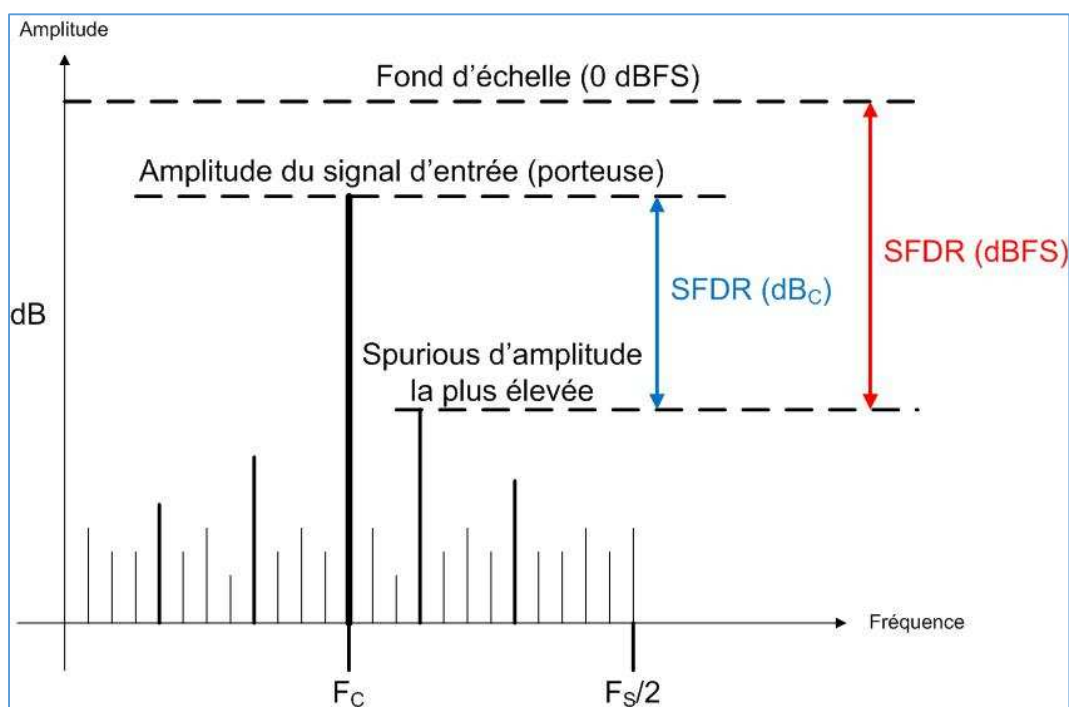


Fig. 22 : Graphique illustrant la SFDR exprimée soit en dBc, soit en dBFS. Graphisme : ON4IJ.

Rapport signal sur bruit et distorsion (SINAD : *Signal Noise And Distortion*) :

Le rapport signal sur bruit et distorsion, noté SINAD ou $S/(N + D)$ est établi entre l'amplitude RMS du fondamental du signal et la valeur RMS de la moyenne quadratique (RSS) des amplitudes de toutes les autres composantes spectrales y compris les harmoniques sauf la composante continue (DC). Le rapport SINAD donne une bonne indication sur la performance globale de la dynamique de l'ADC car ce rapport inclut toutes les composantes de bruit et de distorsion. Dans un ADC, le rapport SINAD est fonction de la fréquence et de l'amplitude du signal appliqué à l'entrée. Le rapport SINAD diminue aux fréquences élevées et diminue pour des signaux dont l'amplitude diminue en dessous du 0 dBFS. $SINAD = THD + N$ lorsque la bande passante de mesure du bruit est la même et qui doit valoir la bande passante de Nyquist.

Nombre effectif de bits d'un ADC (ENOB : *Effective Number Of Bits*) :

Le rapport SINAD est souvent converti en nombre effectifs de bits (ENOB) en utilisant la relation qui permet de calculer le SNR d'un ADC ; le SNR est substitué par le rapport SINAD. Attention : ne pas confondre SNR (uniquement bruit) et SINAD (bruit et distorsion).

$$ENOB = \frac{SINAD - 1,76 \text{ [dB]}}{6,02} \text{ pour un signal à 0 dBFS}$$

Comme le rapport SINAD diminue en fonction de la diminution d'amplitude du signal appliqué à l'entrée de l'ADC, le nombre effectif de bits diminue aussi en conséquence. Il est alors nécessaire d'introduire dans l'équation écrite juste ci-dessus un facteur correcteur qui tient compte de l'amplitude du signal afin de « normaliser » la mesure par rapport au 0 dBFS.

$$ENOB = \frac{SINAD_{\text{Mesuré}} - 1,76 \text{ [dB]} + 20 \log \frac{\text{Amplitude à fond d'échelle}}{\text{Amplitude du signal à l'entrée}}}{6,02}$$

Tout cela signifie que si l'on choisit un ADC de 14 bits, le SNR théorique est de 86 dB et si, lors de la mesure avec un analyseur FFT, le rapport SINAD est de 74 dB pour un signal à 0 dBFS, le nombre effectif de bits sera :

$$ENOB = \frac{74 - 1,76 \text{ [dB]}}{6,02} = 12 \text{ Bits}$$

Tout se passe comme si l'ADC réel de 14 bits était en fait un ADC idéal de 12 bits.

SNR réel d'un ADC :

Le SNR réel d'un ADC est mesuré au moyen d'un analyseur FFT. Le SNR tient compte uniquement des composantes de bruit à l'exclusion des harmoniques. Le SNR diminue aux fréquences élevées mais pas aussi rapidement que le fait le rapport SINAD.

Gain de procédé (*Processing Gain*) et gamme dynamique d'un récepteur SDR :

Le SNR réel d'un ADC est mesuré dans la bande passante de Nyquist de DC à $f_s/2$. Or ce SNR augmente si l'on utilise l'ADC dans une bande passante plus étroite que celle de Nyquist. Cette augmentation du SNR est appelée gain de procédé.

Dans un récepteur SDR, le gain de procédé est important car lors de la conversion numérique directe avec un mélangeur I et Q, et avec une décimation et filtrage du signal pour arriver à une bande passante strictement nécessaire à la bande de base, la bande passante de Nyquist au niveau de l'ADC est réduite à celle qui est nécessaire à la bande de base en sortie du FPGA. Le SNR existant au niveau de l'étage HF (*RF Front End*) bénéficie d'un gain de procédé grâce à la réduction de la bande passante au niveau de la bande de base. Le gain de procédé sur le SNR théorique d'un ADC pour une bande passante réduite BW (*Band Width*) se calcule comme suit :

$$\text{SNR théorique avec gain de procédé} = 6,02 \cdot n + 1,76 \text{ [dB]} + 10 \log \frac{f_s/2}{BW}$$

Pour un ADC de 14 bits échantillonné à une fréquence de 130 MSPS et dont la conversion numérique directe avec décimation et filtrage réduit la bande passante à 500 Hz aura un SNR théorique de :

$$\text{SNR} = 6,02 \cdot 14 + 1,76 \text{ [dB]} + 10 \log \frac{130 \cdot 10^6 / 2}{500} = 137,2 \text{ [dB]}$$

Si le plancher réel de bruit mesuré pour ce même ADC de 14 bits est de -78 dBFS de DC à 130 MSPS/2, alors la gamme dynamique de cet ADC dans une bande passante de 500 Hz sera :

$$\text{Gamme dynamique} = 78 \text{ [dBFS]} + 10 \log \frac{130 \cdot 10^6 / 2}{500} = 129,1 \text{ [dB]}$$

Pour un récepteur SDR, avoir une gamme dynamique réelle de 129 dB en CW, c'est tout de même une excellente performance comparable aux meilleurs récepteurs superhétérodynes !

Densité spectrale de bruit (NSD : *Noise Spectral Density*) :

La densité spectrale de bruit est la puissance globale de bruit par unité de bande passante (de 1Hz) de l'ADC et celle-ci est exprimée soit en dBFS/Hz soit en dBm/Hz. Pour un ADC donné avec une fréquence d'échantillonnage f_s , la puissance de bruit est étalée sur la bande passante de Nyquist depuis DC à $f_s/2$. Si l'on veut calculer la puissance de bruit dans une bande passante de 1 Hz, on effectue le calcul suivant :

$$\text{Puissance de bruit par Hz} = -10 \log \frac{f_s}{2} \text{ [dBFS/Hz]}$$

Pour une fréquence d'échantillonnage de 130 MSPS, on aura :

$$\text{Puissance de bruit par Hz} = -10 \log \frac{130 \cdot 10^6}{2} = -78,1 \text{ [dBFS/Hz]}$$

Pour un ADC échantillonné à 130 MSPS et dont le plancher de bruit mesuré est de -74 dBFS, on aura une densité spectrale de bruit de :

$NSD = \text{Plancher de bruit mesuré} - \text{puissance de bruit par Hz}$

$$NSD = -74 - 78,1 = -152,1 \text{ [dBFS/Hz]}$$

Pour convertir la NSD de dBFS/Hz en dBm/Hz, il faut connaître la gamme de tension analogique de l'ADC et son impédance d'entrée. Prenons un ADC dont l'entrée analogique est comprise entre 0 V et 1 V et dont l'impédance d'entrée est de 50 Ω . L'amplitude maximale crête à crête du signal à fond d'échelle est de 1 V_{pp} et l'amplitude RMS sera de $0,5 V_p \times 0,707 = 0,354 V_{RMS}$. La puissance à fond d'échelle est donc de $0,354^2/50 = 2,5 \text{ mW}$, ce qui correspond à un niveau absolu de +4 dBmFS et, avec une NSD de -152,1 dBFS/Hz, on aura :

$$NSD = +4 \text{ [dBmFS]} - 152,1 \text{ [dBFS/Hz]} = -148,1 \text{ [dBm/Hz]}$$

Cette caractéristique NSD d'un ADC rapide est très pratique lorsqu'on travaille dans une bande passante restreinte et qui amène un gain de procédé car on peut directement évaluer la puissance de bruit dans la bande passante utile.

Contribution de bruit par la disparité du moment précis où est effectuée la conversion dans un ADC (*Aperture Jitter*) :

Un ADC rapide, comme son nom l'indique doit convertir en un signal numérique un signal analogique qui varie rapidement. La conversion s'effectue à la fréquence d'échantillonnage f_s sur chaque flanc (montant ou descendant) du signal d'horloge (*Clock*). Il faut que la conversion par l'ADC s'effectue à chaque fois au moment précis de la transition du signal d'horloge. Toute variation dans le temps sur le moment où s'effectue la conversion entraîne une production de bruit sur le signal. En effet, sur un intervalle de temps, aussi infime soit-il, le signal analogique a déjà changé de valeur d'amplitude instantanée.

La valeur de l'amplitude instantanée qui est convertie par un ADC est effectuée par un amplificateur échantillonneur-bloqueur (SHA : *Sample and Hold Amplifier*). Un transistor de commutation va appliquer le signal analogique sur un condensateur qui va se charger au potentiel instantané du signal. Lors d'un front d'horloge, le transistor cesse sa conduction et déconnecte le condensateur chargé qui a mémorisé l'amplitude instantanée du signal et celle-ci est convertie en une valeur numérique à la sortie de l'ADC (voir figure 23). D'un cycle à l'autre du signal d'horloge, la commutation de réouverture du transistor ne s'effectue hélas pas toujours au même moment par rapport à la transition du signal d'horloge. Il y a donc une disparité du temps de réouverture du transistor du SHA que l'on appelle *Aperture Jitter*.

L'erreur sur la valeur échantillonnée du signal à cause de l'*Aperture Jitter* sera d'autant plus grande que le signal d'entrée varie vite. Le bruit dû à l'*Aperture Jitter* est donc fonction de la fréquence du signal (voir figure 24).

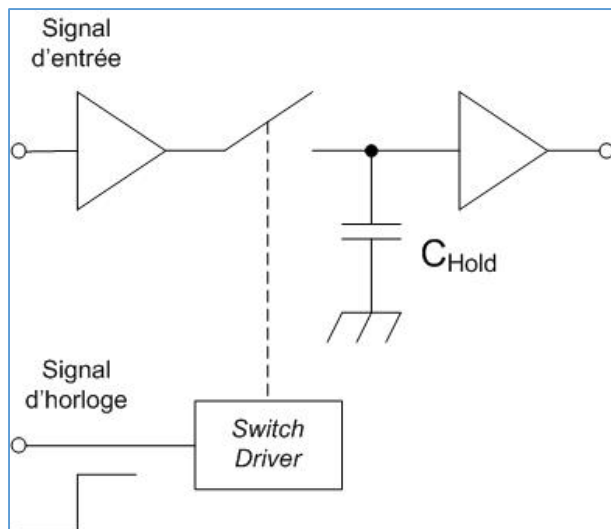


Fig. 23 : Schéma-bloc d'un amplificateur échantillonneur-bloqueur. Graphisme : ON4IJ.

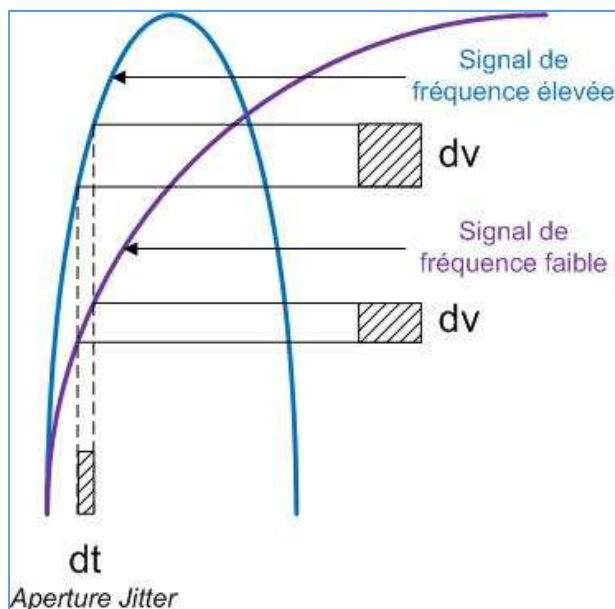


Fig. 24 : L'erreur de la valeur échantillonnée due à l'*Aperture Jitter* d'un ADC est fonction de la fréquence du signal. Graphisme : ON4IJ.

Contribution de bruit dû à la gigue de phase du signal d'horloge (*Phase Jitter*) :

Le signal d'horloge est produit à partir d'un oscillateur à quartz dont le signal sinusoïdal est transformé en signal carré. Tout oscillateur est entaché d'un bruit de phase et celui-ci produit une incertitude sur le moment où apparaît le front d'horloge de cycle en cycle. On parlera de gigue de phase du signal d'horloge ou de *Phase Jitter*. Ce phénomène introduit du bruit lors de la conversion d'un signal.

Le phénomène de *Phase Jitter* du signal d'horloge et celui de l'*Aperture Jitter* du SHA agissent de la même manière et produisent le même effet sur le bruit qui se superpose au signal lors de la conversion de celui-ci.

Effet de l'Aperture Jitter du SHA et du Phase Jitter d'horloge sur le SNR d'un ADC :

Cet effet peut être quantifié par le raisonnement mathématique qui suit. C'est relativement simple à comprendre. Comme le bruit produit par le phénomène de *Jitter* est fonction de la fréquence du signal d'entrée (voir figure 24), prenons un signal à 0 dBFS et d'une fréquence donnée.

$$v(t) = V_{\max} \cdot \sin(2\pi ft)$$

Sur la figure 24, on constate que l'erreur dv est en fonction de la raideur de pente du signal, c'est-à-dire sa vitesse de variation. La vitesse de variation d'une fonction se calcule par la dérivée temporelle de cette fonction.

La dérivée d'un sinus donne un cosinus : $[\sin(k\alpha)]' = k \cdot \cos(k\alpha)$

$$\frac{dv}{dt} = 2\pi f \cdot V_{\max} \cdot \cos(2\pi ft)$$

La valeur efficace (RMS) de ce signal est :

$$\left. \frac{dv}{dt} \right|_{RMS} = \frac{2\pi f \cdot V_{\max}}{\sqrt{2}}$$

Dans l'équation ci-dessus, dv représente la tension RMS d'erreur produisant le bruit, c'est-à-dire Δv_{RMS} et dt représente la valeur RMS de l'intervalle de temps du *Jitter*, c'est-à-dire t_j . On peut donc réécrire l'équation comme suit :

$$\frac{\Delta v_{RMS}}{t_j} = \frac{2\pi \cdot V_{\max}}{\sqrt{2}}$$

Et la tension RMS d'erreur due au *Jitter* est :

$$\Delta v_{RMS} = \frac{2\pi f \cdot V_{\max} \cdot t_j}{\sqrt{2}}$$

Or la valeur efficace (RMS) du signal d'entrée à 0 dBFS est : $\frac{V_{\max}}{\sqrt{2}}$

On peut maintenant exprimer le rapport signal sur bruit dû au *Jitter* qui est celui entre la valeur RMS du signal à 0 dBFS et la tension RMS d'erreur due au *Jitter*.

$$SNR_{Jitter} = 20 \log \frac{V_{\max} / \sqrt{2}}{\Delta v_{RMS}} = 20 \log \frac{V_{\max} / \sqrt{2}}{2\pi f \cdot V_{\max} \cdot t_j / \sqrt{2}}$$
$$SNR_{Jitter} = 20 \log \frac{1}{2\pi f \cdot t_j}$$

La valeur de t_j est exprimée en ps_{RMS} (pico-seconde RMS) ou en fs_{RMS} (femto-seconde RMS) ; femto = 10^{-15} .

Si l'on représente sur un graphique l'équation du rapport signal sur bruit dû au *Jitter* et si l'on convertit ce rapport en termes de nombres effectifs de bits (ENOB), on s'aperçoit de l'impact sérieux que peut avoir le *Jitter* sur le SNR d'un ADC.

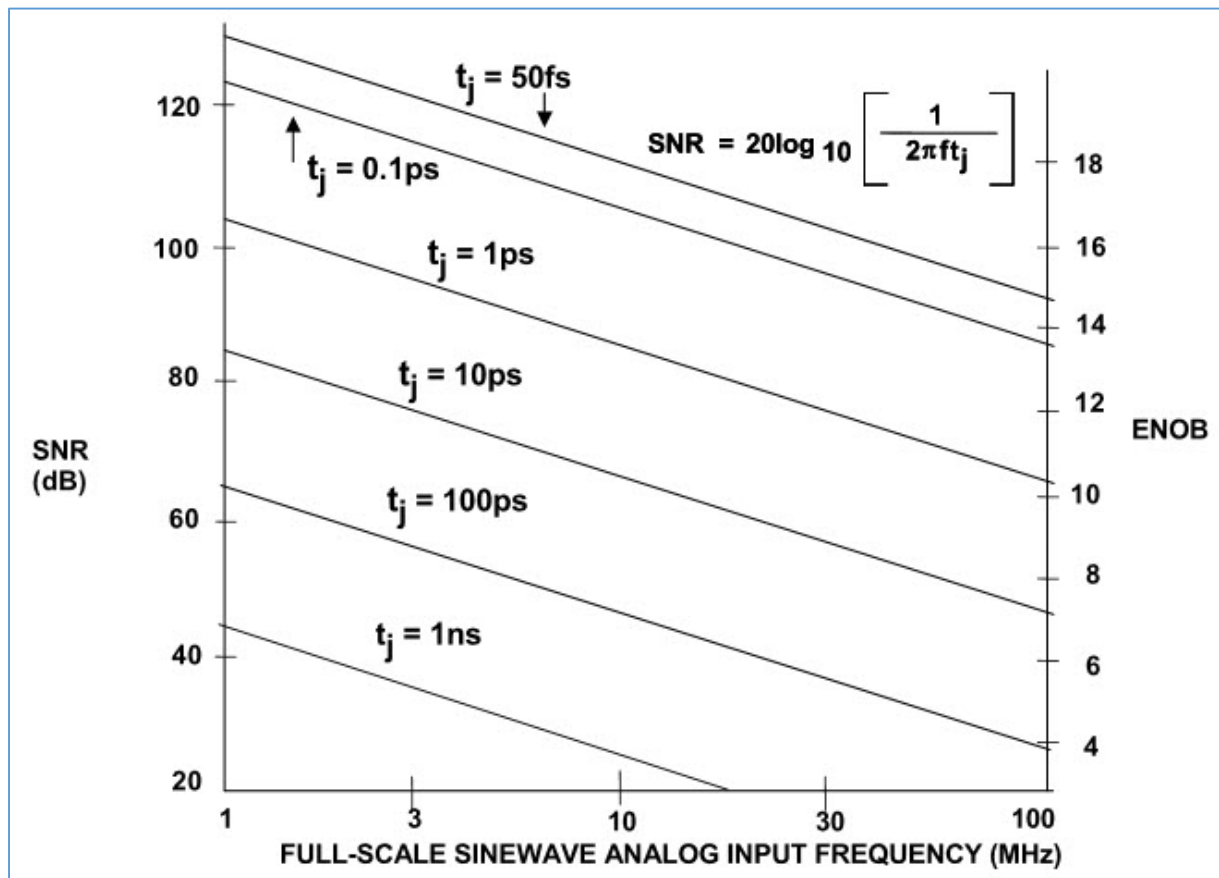


Fig. 25 : SNR théorique et ENOB d'un ADC dû au *Jitter* pour un signal 0 dBFS. Source : Analog Devices, Tutorial MT-007, Walt Kester, USA 2009.

Il faut donc apporter le plus grand soin à l'oscillateur qui produit le signal d'horloge. En général, on utilise des oscillateurs SAW (*Surface Acoustic Wave*) à ultra faible bruit de phase.

Figure de bruit d'un ADC (NF : *Noise Figure*) :

La figure de bruit d'un ADC est le rapport entre la puissance totale effective de bruit ramenée à l'entrée de l'ADC et la valeur de la puissance de bruit produite par la résistance de la source du signal qui est raccordée à l'entrée de l'ADC.

$$NF = 10 \log \frac{(\text{Tension du bruit total effectif à l'entrée de l'ADC})^2 / Z_{IN \text{ ADC}}}{(\text{Tension du bruit due à la résistance de source})^2 / Z_{Source}}$$

En général, on place une résistance externe en parallèle sur l'entrée de l'ADC pour que l'impédance équivalente d'entrée corresponde à l'impédance de la source, c'est-à-dire une impédance de 50 Ω : $R_{ext} // Z_{IN \text{ ADC}} = Z_{Source} = 50 \Omega = R$.

Calculons la puissance maximale que l'on peut appliquer à l'entrée d'un ADC pour un signal sinusoïdal au 0 dBFS : $v(t) = V_{\max} \cdot \sin(2\pi ft)$. La gamme analogique de l'ADC correspond à la tension crête à crête du signal. La tension RMS du signal sinusoïdal est $V_{RMS} (0 \text{ dBFS}) = \frac{V_{\max}}{\sqrt{2}}$ et la puissance RMS à fond d'échelle (FS) à l'entrée est :

$$P_{FS} = \frac{\left(\frac{V_{\max}}{\sqrt{2}}\right)^2}{R} = \frac{V_{\max}^2}{2R}.$$

Exprimons cette puissance en termes de niveau absolu de l'amplitude du signal en dBm :

$$P_{FS} [\text{dBm}] = 10 \log \frac{P_{FS}}{1 \text{ mW}} = 10 \log \frac{V_{\max}^2 / 2R}{1 \cdot 10^{-3}}$$

Exemple : soit un ADC dont la gamme analogique va de 0 V à 1 V et soit la résistance de source $R = 50 \Omega$ adaptée à l'impédance d'entrée de l'ADC, on aura une puissance d'entrée à fond d'échelle (FS) de :

$$P_{FS} [\text{dBm}] = 10 \log \frac{\left(\frac{1 [\text{V}]}{2}\right)^2 / 2 \cdot 50 [\Omega]}{1 \cdot 10^{-3} [\text{W}]} = 10 \log \frac{0,5^2 / 100}{1 \cdot 10^{-3}} = +3,98 [\text{dBm}] \simeq +4 [\text{dBm}]$$

Calculons maintenant la tension du bruit total effectif de l'ADC ($V_{\text{Noise RMS}}$) à partir du SNR mesuré de l'ADC (cette mesure est donnée par le constructeur).

Rappel : $SNR = 20 \log \frac{V_{RMS} (0 \text{ dBFS})}{V_{\text{Noise RMS}}}$ dans la bande passante de Nyquist ($f_s/2$).

$$\text{Donc : } V_{\text{Noise RMS}} = V_{RMS} (0 \text{ dBFS}) \cdot 10^{\left(\frac{-SNR}{20}\right)}$$

Exemple : soit un ADC dont le SNR mesuré est de 78 dB et dont la gamme analogique va de 0 V à 1 V ; $V_{RMS} (0 \text{ dBFS}) = \frac{0,5}{\sqrt{2}} = 0,354 [V_{RMS}]$ et,

$$V_{\text{Noise RMS}} = 0,354 [V_{RMS}] \cdot 10^{\left(\frac{-78}{20}\right)} = 44,5 [\mu V_{RMS}] \text{ dans la bande passante de Nyquist } (f_s/2).$$

Il nous reste à présent à calculer la tension de bruit due à la résistance de source. Il s'agit ici d'un bruit purement thermique, c'est-à-dire un bruit de Johnson (bruit blanc) produit par une résistance à une température donnée et dans une bande passante donnée :

$$e_n = \sqrt{4kTRB} \quad \text{avec :}$$

k = constante de Boltzmann : $1,38064852 \cdot 10^{-23} \text{ m}^2 \text{ kg s}^{-2} \text{ K}^{-1}$;

T = température en Kelvin (300 K = 27 °C) ;

R = résistance ;

B = bande passante.

Comme la résistance de source est chargée par une impédance d'entrée adaptée de l'ADC, la tension du bruit de Johnson sera donc divisée par deux.

On peut enfin calculer la figure de bruit :

$$NF = 10 \log \frac{(\text{Tension du bruit total effectif à l'entrée de l'ADC})^2}{(\text{Tension du bruit due à la résistance de source})^2}$$

$$NF = 10 \log \frac{(V_{\text{Noise RMS}})^2}{kTRB} = 10 \log \frac{\left(V_{RMS} (0 \text{ dBFS}) \cdot 10^{\left(\frac{-SNR}{20} \right)} \right)^2}{kTRB}$$

$$NF = 10 \log \left[\frac{(V_{RMS} (0 \text{ dBFS}))^2}{R} \right] \cdot \left[\frac{1}{kT} \right] \cdot \left[10^{\left(\frac{-SNR}{20} \right)^2} \right] \cdot \left[\frac{1}{B} \right]$$

$$NF = 10 \log \left[\frac{(V_{RMS} (0 \text{ dBFS}))^2}{R} \right] + 10 \log \left[\frac{1}{kT} \right] + 10 \log \left[10^{2 \left(\frac{-SNR}{20} \right)} \right] + 10 \log \left[\frac{1}{B} \right]$$

Le premier terme représente la puissance (V^2/R) d'un signal à 0 dBFS que l'on peut directement exprimer en dBm : $P_{FS} [\text{dBm}]$.

Le deuxième terme représente le plancher de bruit absolu pour une résistance de 1 Ω dans une bande passante de 1 Hz et à une température de 300 K. Si l'on exprime ce terme en dBm, on arrive à une valeur de -174 dBm. Ici, on aura +174 dBm car kT est au dénominateur dans le logarithme.

Le troisième terme représente tout simplement le SNR affecté d'un signe négatif.

On arrive ainsi à la formule de la figure de bruit d'un ADC :

$$NF = P_{FS} [\text{dBm}] + 174 [\text{dBm}] - SNR - 10 \log B$$

Exemple : soit un ADC dont la gamme analogique va de 0 V à 1 V, soit la résistance de source $R = 50 \Omega$ adaptée à l'impédance d'entrée de l'ADC, soit le SNR mesuré de l'ADC de 78 dB, soit une fréquence d'échantillonnage de 130 MSPS et donc une bande passante de Nyquist $f_s/2 = 65 \text{ MHz}$, on aura une figure de bruit de cet ADC de :

$$NF = +4 [\text{dBm}] + 174 [\text{dBm}] - 78 [\text{dB}] - 10 \log (65 \cdot 10^6) = 21,87 [\text{dB}] \simeq 22 [\text{dB}]$$

Un amplificateur à large bande (LNA : *Low Noise Amplifier*) à l'entrée d'un ADC :

Pour pouvoir attaquer l'entrée d'un ADC, on utilise un amplificateur (*Driver*) à large bande et à faible figure de bruit qui va permettre d'adapter l'impédance de l'antenne, de préamplifier le signal HF pour le rendre compatible avec la gamme de tension analogique d'entrée de l'ADC, de polariser le signal d'entrée à la tension de référence de l'ADC et enfin d'améliorer la figure de bruit de l'ensemble du *RF Front End* du récepteur SDR. Les LNA prévus pour les ADC sont souvent du type différentiel.

La figure de bruit et le gain du premier étage HF conditionnent d'une manière prédominante la figure de bruit d'une cascade de plusieurs étages. Le facteur de bruit global se calcule à partir des facteurs de bruits et des gains des étages en cascade par la formule d'Harald T. Friis (physicien danois). Pour convertir le facteur de bruit en figure de bruit, il suffit d'en prendre le logarithme et de le multiplier par 10 pour l'exprimer en dB.

$$NF = 10 \log F$$

$$F = 10^{\left(\frac{NF}{10}\right)}$$

$$F = F_1 + \frac{F_2 - 1}{G_1} + \frac{F_3 - 1}{G_1 \cdot G_2} + \frac{F_4 - 1}{G_1 \cdot G_2 \cdot G_3} + \dots$$

Prenons l'ADC dont nous avons calculé la figure de bruit qui est de 22 dB.

$$F_2 = 10^{\left(\frac{22}{10}\right)} = 158,5$$

Prenons un LNA qui a un gain de 20 dB et une figure de bruit de 6 dB. Ces données sont vraisemblables car elles correspondent à un LNA typique : LTC6401-20 de la société Linear Technology.

$$G_1 = 10^{\left(\frac{20}{10}\right)} = 100$$

$$F_1 = 10^{\left(\frac{6}{10}\right)} = 3,98$$

On aura un facteur de bruit global de :

$$F = 3,98 + \frac{158,5 - 1}{100} = 5,555$$

$$NF = 10 \log 5,555 = 7,4 \text{ [dB]}$$

Pour obtenir la figure de bruit du récepteur SDR, il faut tenir compte des pertes des filtres passe bande des différentes gammes d'ondes (présélecteurs) et qui sont placés juste devant le LNA. Admettons une perte des présélecteurs de 5 dB. Nous arrivons à une figure de bruit du récepteur SDR de :

$$NF_{RX} = 7,4 \text{ [dB]} + 5 \text{ [dB]} = 12,4 \text{ [dB]}$$

Sensibilité d'un récepteur SDR (MDS : *Minimum Discernible Signal*) :

Cela valait la peine de comprendre comment calculer la figure de bruit d'un ADC et comment l'améliorer avec un LNA car maintenant, on va pouvoir calculer la sensibilité d'un récepteur SDR.

Rappel : puissance équivalente de bruit de Johnson pour une bande passante de 500 Hz et à une température de 300 K, c'est-à-dire le plancher de bruit théorique pour un récepteur en CW est :

$$P_n \text{ [dBm]} = 10 \log \left(\frac{kTB}{1 \cdot 10^{-3}} \right) = 10 \log \left(\frac{1,38064852 \cdot 10^{-23} \cdot 300 \cdot 500}{1 \cdot 10^{-3}} \right) = -146,84 \simeq -147 \text{ [dBm]}$$

La sensibilité d'un récepteur est la somme du plancher de bruit théorique dans la fenêtre de réception et de la figure de bruit de ce récepteur (dans la bande passante de Nyquist de l'ADC).

$$MDS_{@ 500 \text{ Hz}} = -147 \text{ [dBm]} + NF_{RX}$$

Pour un récepteur SDR dont la figure de bruit est de 12,4 dB comme calculé ci-dessus à la page précédente avec un ADC et un LNA typique, on aura une sensibilité de :

$$MDS_{@ 500 \text{ Hz}} = -147 \text{ [dBm]} + 12,4 \text{ [dB]} = -134,6 \text{ [dBm]}$$

Cette sensibilité d'un récepteur SDR est tout-à-fait comparable à celle d'un excellent récepteur superhétérodyne.

Dither : qu'est-ce que c'est ?

Dither, un mot anglais qui veut bien dire ce qu'il veut dire, mais qui est difficile à traduire en français. *Dither* exprime l'idée de tremblement, d'indécision, vibration, inquiétude, frisson, état d'agitation, nervosité, signal de superposition, tramage, résonnance stochastique. Le *Dither* ou *Dithering* est une technique d'amélioration de la conversion des données analogiques en données numériques qui est basée sur l'application volontaire de bruit au signal d'entrée d'un ADC. Cette adjonction de bruit permet d'obtenir la conversion de signaux de niveaux inférieurs au seuil de quantification et a pour effet de remplacer la distorsion par une légère élévation du bruit de fond. Il s'agit en quelque sorte d'une répartition ou d'un étalement de l'erreur de quantification et de la distorsion par un procédé aléatoire.

Historique : le phénomène de *Dither* a été découvert lors de la deuxième guerre mondiale sur les calculateurs mécaniques embarqués à bord des avions bombardiers. Parmi les OM de la génération '50, certains peuvent se souvenir des premières machines à calculer mécaniques « Numéria » qui étaient composées de plusieurs roues dentées pour effectuer les quatre opérations arithmétiques.



Fig. 26 : Machine mécanique à calculer « Numéria ». Source : Flickr, Frédéric Bisson.

Les aviateurs ont constaté que leurs calculateurs mécaniques fonctionnaient à merveille quand ils étaient en vol, en revanche ces calculateurs fonctionnaient péniblement lorsque les avions se trouvaient au sol sur les bases aériennes. Les ingénieurs ont découvert que les vibrations des moteurs des avions en vol avaient pour effet de diminuer les erreurs des calculateurs en libérant les forces de frottement statique des engrenages. Les vibrations plaçaient en permanence les roues dentées dans des conditions de frottement dynamique qui sont plus faibles que celles du frottement statique. Avec des vibrations, les roues dentées pouvaient tourner librement à la place de se mouvoir par saccades lorsque le calculateur était au sol sans les trépidations des avions en vol. Les ingénieurs ont tôt fait d'équiper les calculateurs mécaniques d'un dispositif vibrant entraîné par un petit moteur électrique. Ce dispositif fut appelé *Dither* (trembleur).

De nos jours, lorsque vous voulez lire la pression d'un fluide qui est mesurée au moyen d'un manomètre mécanique, vous avez le réflexe de tapoter sur le manomètre afin d'effectuer une mesure plus précise que celle que le manomètre vous indique au repos sans avoir été perturbé par quelques vibrations. Cette analogie va nous permettre de comprendre le mécanisme du *Dither* qui est utilisé dans la conversion de l'analogique vers le numérique.

La résolution d'un ADC ne peut pas s'étendre à l'infini : un ADC convertit un signal analogique en un signal numérique sur un nombre déterminé de bits. Ce nombre de bits détermine la gamme dynamique de l'ADC. Dans le monde réel, la gamme dynamique d'un ADC est limitée par tous les contributeurs de bruits et par la distorsion du signal. Cet effet de limitation est accentué dans les ADC rapides car ils doivent traiter des signaux sur une très large bande où le bruit thermique, fonction de la bande passante utile, commence à impacter sérieusement la gamme dynamique de l'ADC. L'augmentation de la résolution et de la bande passante d'un ADC atteint ainsi une limite physique. Il faut donc accepter un compromis entre la résolution et la bande passante d'un ADC. C'est la raison pour laquelle les ADC à haute résolution (de 16 à 24 bits) ne peuvent traiter que des signaux lents. Actuellement, les ADC rapides pouvant traiter des signaux dans une bande passante qui s'étend jusqu'à plusieurs centaines de MHz ne comportent que 14 ou 16 bits tout au plus, ce qui limite de facto leur gamme dynamique à cause du bruit de quantification et de la distorsion du signal.

Un critère important à prendre en ligne de compte dans les télécommunications est la SFDR (Gamme dynamique sans *Spurious*) d'un ADC. En effet, la SFDR d'un ADC décroît en fonction de l'augmentation de la fréquence du signal et la SFDR décroît (pour une fréquence donnée) en fonction de la diminution de l'amplitude du signal d'entrée. Lorsque le fondamental du signal diminue, il se rapproche du niveau du plancher de bruit et du contenu en *Spurious* de faibles niveaux qui sont présent dans le spectre de la bande passante utile.

Dans ces conditions de fréquence élevée et/ou de faible niveau d'amplitude du signal, le fait d'ajouter du *Dither* au signal avant conversion atténue l'effet de diminution de la SFDR. Dans certains cas, la présence de bruit sur le signal lui-même dès l'origine peut aussi contribuer à atténuer la diminution de la SFDR.

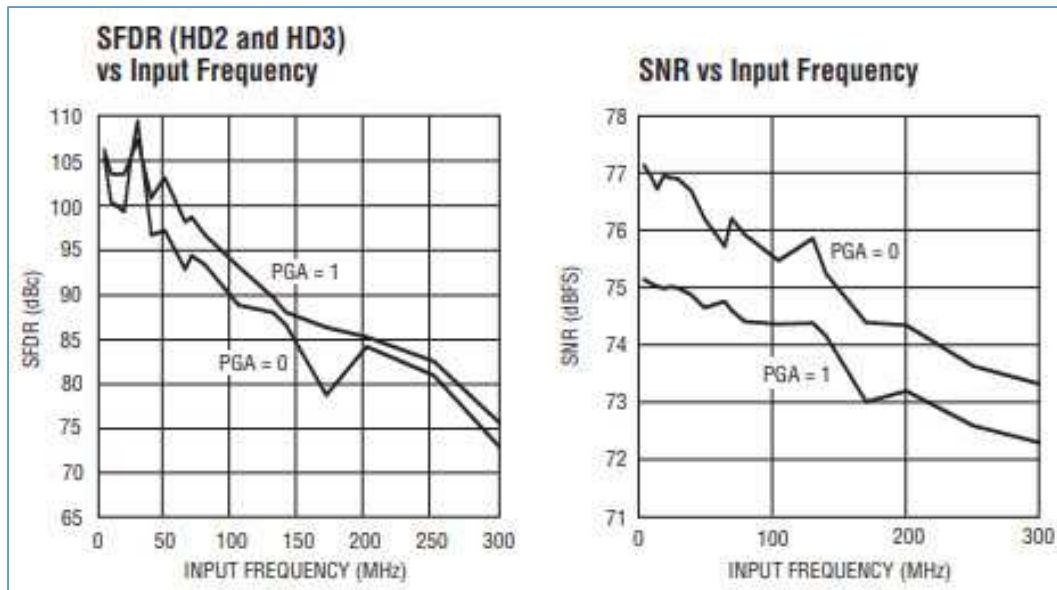


Fig. 27 : La SFDR et le SNR d'un ADC diminuent quand la fréquence du signal augmente. L'ajout de *Dither* atténue ce phénomène. Source : Linear Technology Corporation, USA 2006, Datasheet LTC2208-14.

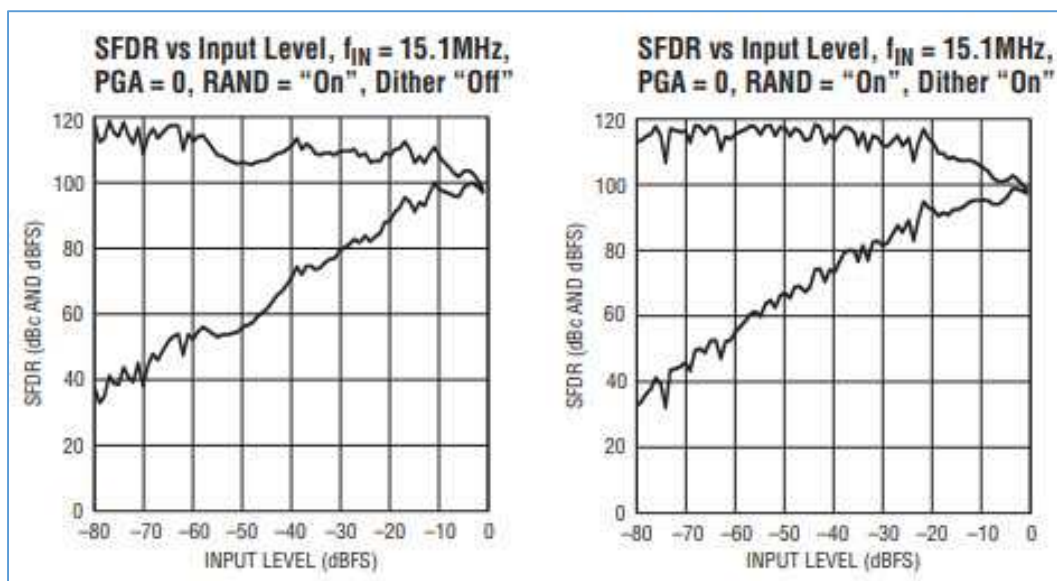


Fig. 28 : La SFDR d'un ADC diminue quand l'amplitude du signal d'entrée diminue. L'ajout de *Dither* atténue ce phénomène. Source : Linear Technology Corporation, USA 2006, Datasheet LTC2208-14.

Lorsqu'on applique un signal proche du 0 dBFS, la SFDR est déterminée par le *Spurious* le plus élevé qui sera en général un harmonique produit par la distorsion de l'ADC. En revanche, lorsqu'on applique un signal de faible amplitude, une multitude de *Spurious* de faibles niveaux apparaissent. Ceux-ci sont produits à cause de la non-linéarité différentielle de la fonction de transfert de l'ADC. Cette non-linéarité provient des infimes différences entre la taille (q) des incréments binaires de l'ADC.

En général, la SFDR d'un ADC est plus grande que le SNR. On parvient à visualiser les *Spurious* de faibles amplitudes qui se trouvent en dessous du plancher de bruit de l'ADC grâce à un analyseur FFT dont la résolution a été réglée à une valeur très haute (gain de procédé).

Dither : comment ça marche ?

Le *Dither* consiste à superposer au signal analogique un bruit aléatoire ou pseudo aléatoire avant la conversion. Ce bruit aléatoire superposé au signal a la propriété de diminuer l'effet du bruit de quantification d'un ADC et la distorsion qu'elle produit. L'effet bénéfique du *Dither* est dû à la dé-corrélation du bruit de quantification par rapport au signal utile.

Prenons un signal sinusoïdal de très faible amplitude et dont la valeur de crête est légèrement plus grande que la taille (q) d'un LSB (voir figure 29a). La conversion va produire au cours du temps toute une série d'échantillons $x_1(n)$ (voir figure 29b). Cette séquence d'échantillons $x_1(n)$ donne un signal fortement écrêté (*Clipped*) produisant de nombreux harmoniques dans le spectre des fréquences de ce signal à cause d'une sévère distorsion. La présence des harmoniques s'explique aussi par la périodicité du bruit de quantification (voir figure 29c) : le bruit de quantification est ici corrélé au signal utile.

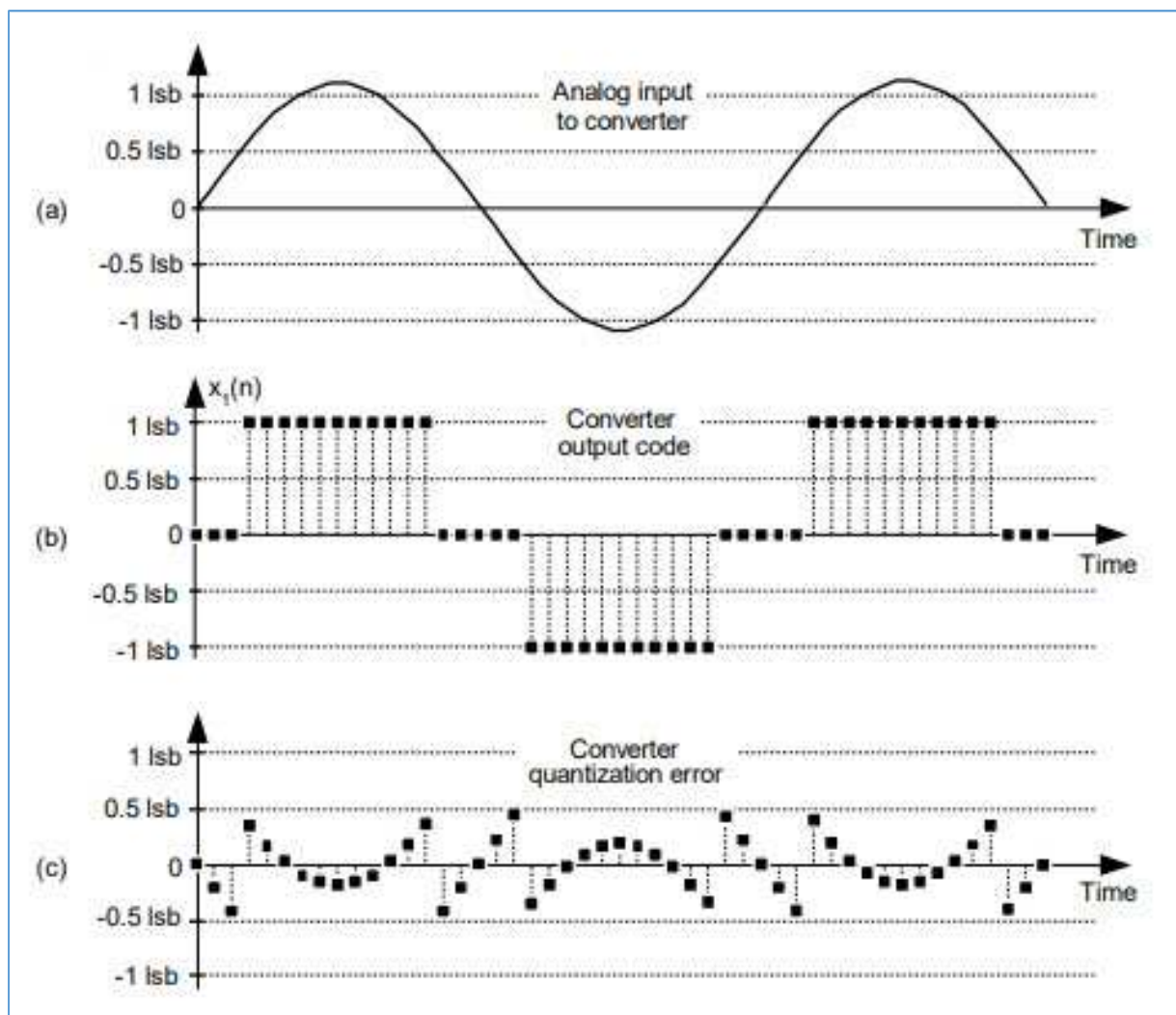


Fig. 29 : (a) Signal analogique de faible amplitude ; (b) Séquence de la sortie numérique en mots binaires ; (c) Erreur de quantification. Source : Microwave and RF Magazine, June 2005 ; Reducing ADC Quantization Noise, Richard G. Lyons et Randy Yates.

En observant le spectre du signal chargé d'harmoniques, on imagine bien qu'il sera inutile de procéder à un calcul de moyenne du signal (*Averaging*) sur plusieurs périodes ou plusieurs balayages en fréquence car cette moyenne ne diminuera en rien l'amplitude des harmoniques et n'augmentera pas non plus l'amplitude du fondamental. Cela est dû à la forte corrélation du bruit de quantification avec le signal lui-même. La preuve est que le bruit de quantification observé sur la figure 29c a exactement la même période que le signal illustré à la figure 29a.

En superposant un bruit aléatoire au signal analogique, l'amplitude du signal bruité va dépasser les frontières des LSB suivants au-delà du premier LSB. Les dépassements de ces LSB suivants vont se dérouler d'une manière aléatoire dans le temps et ainsi, le bruit de quantification ne sera plus corrélé au signal d'entrée. Cela aura pour effet de diminuer l'amplitude des harmoniques indésirables (voir figure 30). Le *Dither* va en effet remonter le niveau du plancher de bruit de l'ADC mais il va surtout améliorer le rapport signal sur bruit : SNR_2 est plus grand que SNR_1 . Il y a en fait une amélioration de la SFDR.

Ce qu'il faut retenir, c'est que le *Dither* force le bruit de quantification à perdre sa corrélation avec le signal d'entrée. Et c'est seulement maintenant que l'on peut éventuellement effectuer un calcul d'une moyenne du signal avec *Dithering*.

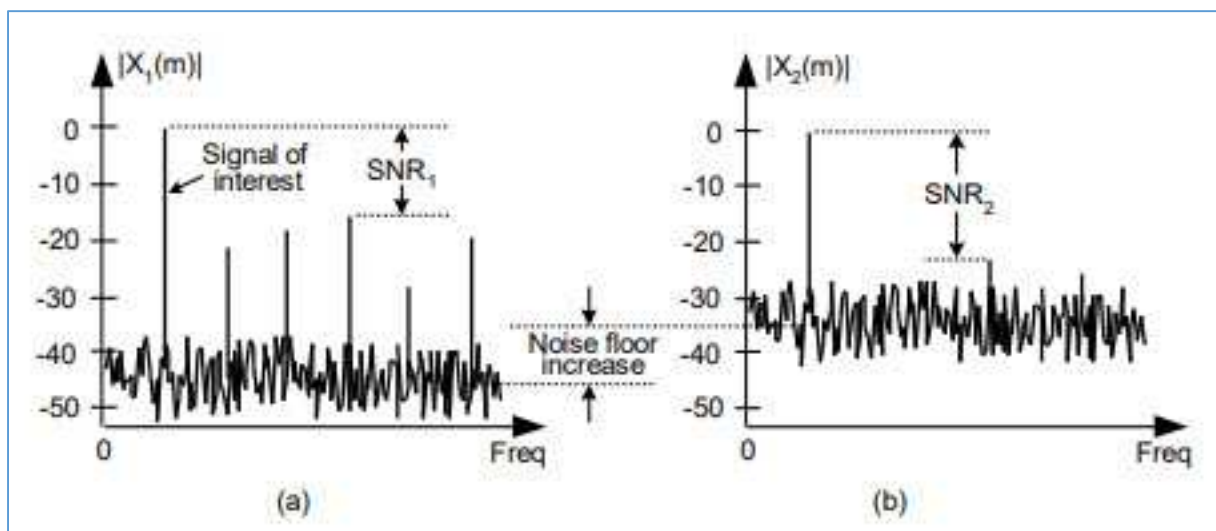


Fig. 30 : Spectre d'un signal sinusoïdal ; (a) sans *Dither* ; (b) avec *Dither*. Source : Microwave and RF Magazine, June 2005 ; Reducing ADC Quantization Noise, Richard G. Lyons et Randy Yates.

En général, l'amplitude du bruit aléatoire superposé au signal est de l'ordre de 1/3 de LSB à 1 LSB. Lorsque le signal se situe dans une portion de la bande passante de Nyquist, il devient avantageux d'utiliser un *Dither* avec un bruit aléatoire filtré dont la bande est relativement étroite (de quelques centaines de kHz) et qui se situe en dehors de la bande passante utile au signal. Dans ce cas, l'amplitude crête à crête du bruit aléatoire est de l'ordre de 4 LSB à 6 LSB. Ce bruit aléatoire pourra être filtré par la suite au moyen d'un filtre numérique. On peut situer la bande étroite du bruit aléatoire soit dans une portion de bande proche du DC, soit près de la fréquence de Nyquist juste en dessous de $f_s/2$.

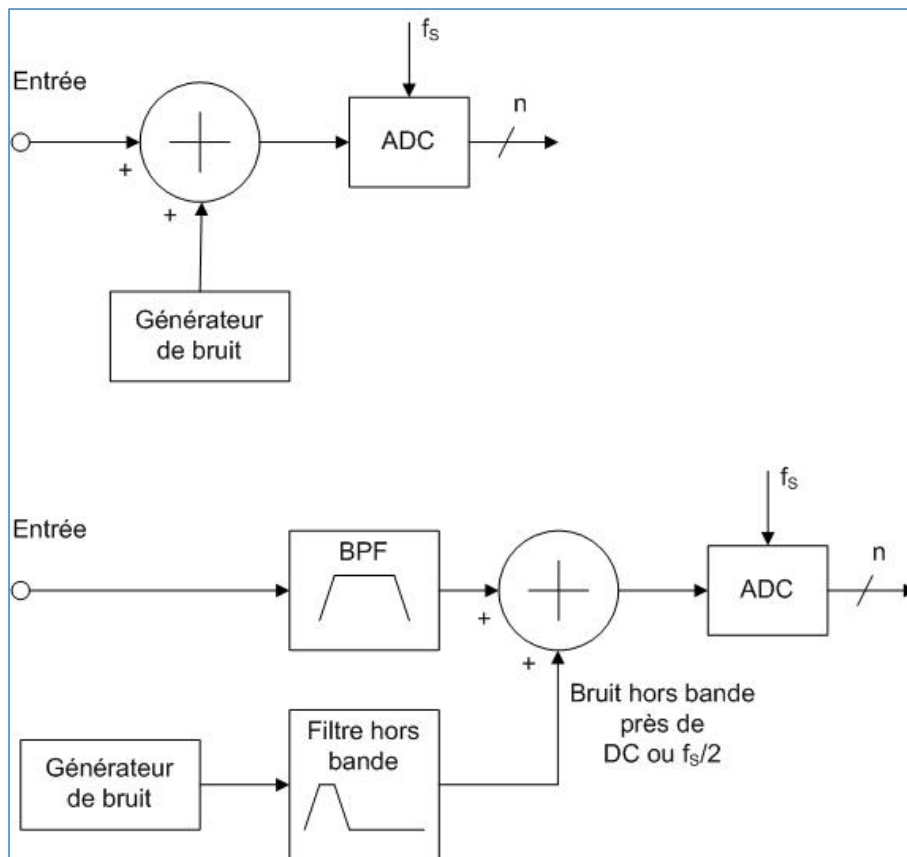


Fig. 31 : (Au-dessus), utilisation du *Dither* pour dé-corréler le bruit de quantification par rapport au signal. (En dessous), utilisation d'un bruit hors bande pour améliorer la SFDR d'un ADC. Graphisme : ON4IJ.

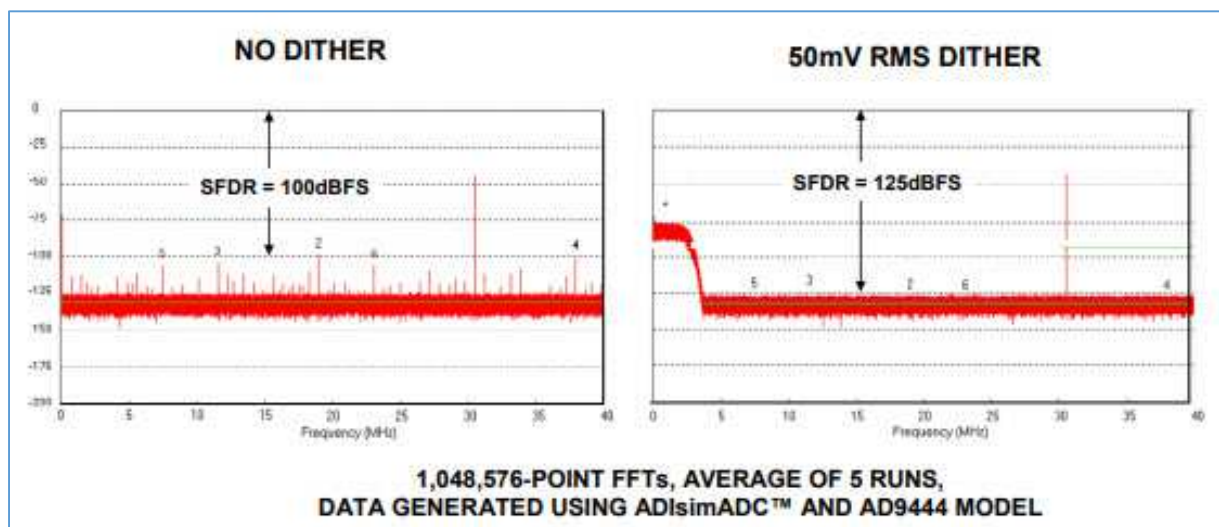


Fig. 32 : Illustration de l'effet d'un *Dither* hors bande (près du DC) pour améliorer la SFDR d'un ADC AD9444 de 14 bits, $f_s = 80$ MSPS, $f_{IN} = 30,5$ MHz, amplitude du signal = -40 dBFS. Source : Analog Devices, Tutorial MT-004, The Good, the Bad, and the Ugly Aspect of ADC Input Noise – Is No Noise Good Noise ? Walt Kester, Analog Devices, USA 2009.

N.B. : Il existe des méthodes de *Dithering* soustractif directement intégrées dans les ADC de dernière génération. Nous invitons le lecteur à se documenter sur ce sujet.

Gamme dynamique de distorsion du 3^{ème} ordre et IP3 : ATTENTION avec les SDR !

Attention : toutes les mesures qui ont été effectuées à ce sujet sur les récepteurs classique superhétérodynes ne sont plus valables pour les récepteurs SDR ! On ne peut plus raisonner en numérique comme on le faisait en analogique.

Dans un récepteur SDR, la gamme dynamique de distorsion du 3^{ème} ordre (IMDR3 : *Intermodulation Dynamic Range 3rd order*) n'a plus de signification pour un niveau de référence équivalent à celui du MDS (sensibilité du récepteur). Nous allons voir pourquoi.

Nous avons défini ce qu'est la SFDR d'un ADC : gamme dynamique sans *Spurious*. Nous avons vu que cette gamme dynamique est élevée pour un signal proche du 0 dBFS et que celle-ci diminue pour un signal de faible amplitude (voir figure 28). On constate un phénomène similaire lorsqu'on effectue des tests sur un récepteur SDR : l'IMDR3 est faible pour un niveau de référence faible et l'IMDR3 augmente au fur et à mesure que l'on augmente le niveau de référence en passant par un maximum, ensuite cette gamme dynamique diminue légèrement pour des niveaux de référence élevés et l'IMDR3 chute brutalement lorsque le signal d'entrée atteint le 0 dBFS car il est écrêté brutalement par l'ADC. On constate aussi que les produits d'intermodulation du 3^{ème} ordre sont pratiquement indépendants de la puissance du signal d'entrée dans les récepteurs SDR.

Dans un circuit analogique, par exemple un amplificateur, la fonction de transfert comporte une zone linéaire de pente +1 et une zone de compression progressive jusqu'à atteindre la zone de saturation. La production d'intermodulation du 3^{ème} ordre est fonction de l'amplitude du signal d'entrée et suit une pente +3 (voir figure 33). Le croisement des droites de pente +1 et de pente +3 a lieu au point d'interception du troisième ordre IP3 (voir l'article « Comprendre les performances des transceivers » sur ON5VL.org).

Pour un ADC, le concept de l'IP3 et de l'IP2 n'est plus valable car les produits de distorsion ne varient pas d'une manière prédictible en fonction de l'amplitude du signal d'entrée. Il n'existe pas de phénomène de compression dans un ADC lorsque le signal approche le 0 dBFS. Il n'existe pas de point de 1 dB de compression dans un récepteur SDR. Le test de blocage du récepteur au point de compression de 1 dB n'est donc plus valable pour un SDR. En effet, aucun phénomène de blocage n'intervient sur un récepteur SDR jusqu'à ce que le signal atteigne le 0 dBFS de l'ADC. Lorsque le signal dépasse le 0 dBFS, l'ADC agit comme un limiteur très brutal en produisant massivement de la distorsion à cause du phénomène d'écrêtage du signal (voir figure 34). En revanche, lorsque le signal a une amplitude en dessous du 0 dBFS, le taux de distorsion de l'ADC reste relativement constant et est indépendant de l'amplitude du signal (voir figure 35).

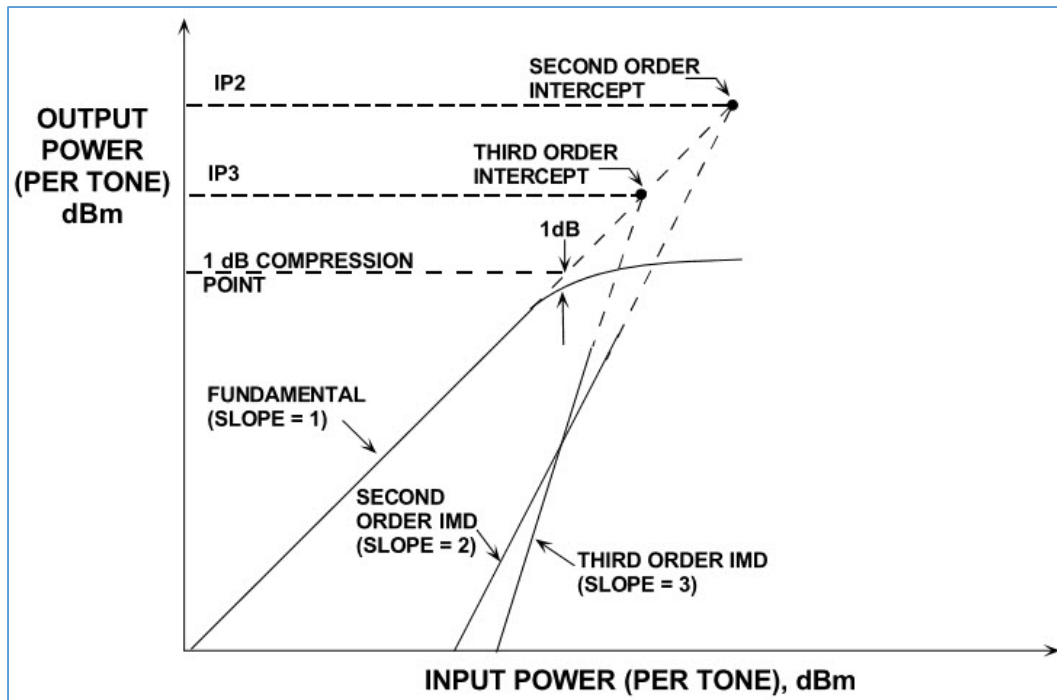


Fig. 33 : Définition des points d'interception IP2, IP3 et du point de compression de 1 dB dans un amplificateur analogique. Source : Analog Devices, Tutorial MT-012, Intermodulation Distortion Consideration for ADCs, Walt Kester, USA 2009.

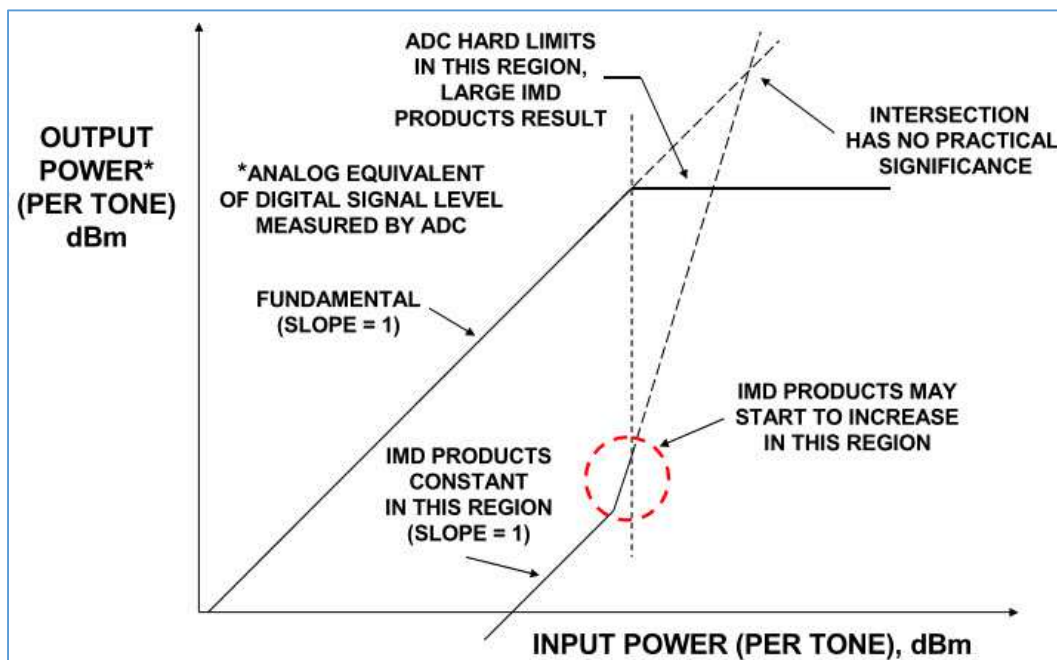


Fig. 34 : Les points d'interception n'ont pas de signification pratique dans les ADC. Source : Analog Devices, Tutorial MT-012, Intermodulation Distortion Consideration for ADCs, Walt Kester, USA 2009.

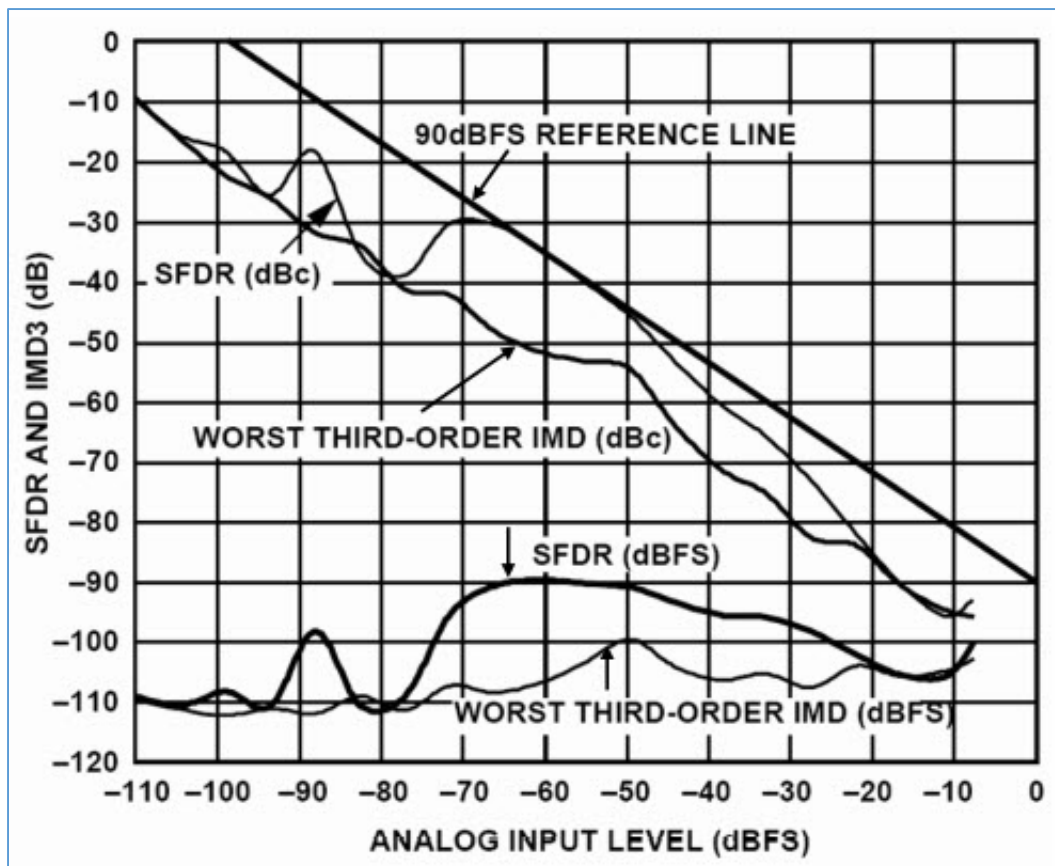


Fig. 35 : Gamme dynamique sans Spurious (SFDR) et produit d'intermodulation deux tons le plus élevé en fonction de l'amplitude du signal d'entrée d'un ADC AD9444, 14 bits, 80 MSPS. Source : Analog Devices, Tutorial MT-012, Intermodulation Distorsion Consideration for ADCs, Walt Kester, USA 2009.

La courbe des produits d'intermodulation (IMD : *Intermodulation Distortion*) sur la figure 35 ci-dessus peut être subdivisée en trois régions. Pour les signaux de faibles amplitudes, les produits d'intermodulations restent relativement constants quelle que soit l'amplitude du signal. On constate qu'une augmentation de 1 dB du signal a pour effet une augmentation de 1 dB des produits d'intermodulation, c'est-à-dire une pente +1 (et non pas une pente +3 comme dans les circuits analogiques). Lorsque le signal atteint une amplitude proche du 0 dBFS, les produits d'intermodulation peuvent augmenter dans certains ADC mais peuvent tout aussi bien ne pas augmenter dans les ADC bien conçus et de dernière génération. Le niveau exact à partir duquel les produits d'intermodulations peuvent augmenter dépend de l'ADC que l'on examine. Lorsque le signal atteint et dépasse le 0 dBFS, l'ADC agit comme un limiteur brutal et il y a une production massive de distorsion. Comme ce comportement de la courbe de l'IMD est particulier aux ADC et que la pente de cette courbe est de +1, les points d'interceptions IP2 et IP3 ne sont jamais spécifiés pour des ADC car ils n'ont aucune signification. La seule manière acceptable de quantifier la distorsion d'un ADC lors des essais pour un seul *tone*, deux *tones* ou *multitones* est d'examiner les spécifications de la SFDR sur le *datasheet* de l'ADC. Une SFDR élevée d'un ADC contribue à ce qu'un récepteur SDR soit performant pour pouvoir détecter les signaux très faibles en présence de signaux forts sans que les signaux faibles soient masqués par les produits d'intermodulation créés par les signaux forts.

Dans les explications qui suivent, nous reprendrons une partie des excellentes analyses qui ont été menées par plusieurs radioamateurs de renom : Leif Åsbrink SM5BSZ (IMD in Digital Receivers, QEX Nov-Dec 2006 ARRL), Adam Farson VA7OJ/AB4OJ (SDR vs. Legacy Radio – which is better ? APDX 2016, Osaka, Japan ; A New Look at SDR Testing, SDR Academy 2016, Friedrichshafen, Germany ; Noise Power Ratio Testing, North Shore Amateur Radio Club, 2012 et ARRL-TAPR DCC, 2013, Seattle USA), Bill Trippett W7VP, Adam Farson VA7OJ/AB4OJ, Rob Sherwood NC0B (How Important Are Receiver Performance Criteria In An Era Of Software Defined Radio, May 2017 at Redmond Radio Club, USA).

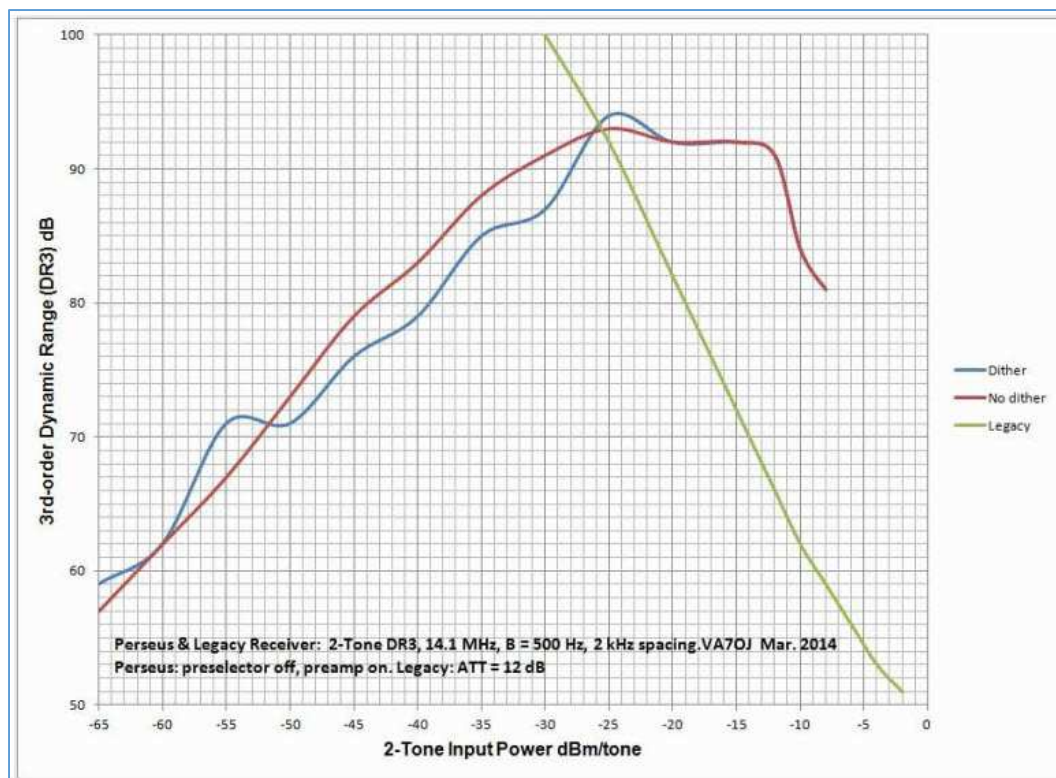


Fig. 36 : Gamme dynamique de distorsion du 3^{ème} ordre d'un récepteur SDR et d'un récepteur classique superhétérodyne. Source : Adam Farson VA7OJ/AB4OJ, A New Look at SDR Testing, SDR Academy 2016 Friedrichshafen, Germany.

Sur la figure 36 ci-dessus, on constate que l'IMDR3 d'un récepteur SDR est faible pour les signaux faibles, elle augmente proportionnellement avec l'amplitude des signaux, passe par un maximum (*Sweet Spot*) vers une amplitude de 10 dBFS et ensuite diminue légèrement à l'approche du 0 dBFS. Il y a relativement peu de différence dans le comportement du récepteur SDR au point de vue IMDR3 avec ou sans *Dither*. Force est de constater que ce test ne peut rien prédire des performances d'un récepteur SDR. Dans un récepteur superhétérodyne, l'IMDR3 est élevée pour les signaux faibles, mais celle-ci dégringole lorsque les signaux sont de plus en plus forts. Cette différence de comportement entre les récepteurs SDR et les récepteurs classiques ont amenés les radioamateurs à modifier le protocole de test pour que celui-ci soit plus significatif pour les récepteurs SDR tout en conservant une signification réelle pour les récepteurs classiques.

Nouvelle méthode de test d'IMD pour les récepteurs :

Une nouvelle méthode proposée par les radioamateurs qui ont analysé le comportement des récepteurs SDR pour caractériser les distorsions d'intermodulation (IMD) consiste à mesurer le niveau absolu en puissance (dBm) des signaux d'interférence, c'est-à-dire les produits d'intermodulation et les *Spurious* par rapport au niveau absolu en puissance (dBm) des deux tons utilisés pour les tests d'IMD. Ce nouveau protocole de test tient compte du niveau de bruit réel collecté par l'antenne en zone urbaine ou en zone rurale en fonction des bandes de fréquences utilisées et non plus du MDS comme niveau de référence. Les niveaux de bruits réels en zone urbaine ou rurale sont décrits dans la recommandation ITU-R P.372-13 de Septembre 2016 : Bruit radioélectrique (QRM et QRN). Dans ces conditions, ce type de test prend le nom d'IFSS : *Interference-Free Signal Strength*, c'est-à-dire le test d'après la force du signal sans produire d'interférence (intermodulation et *Spurious*).

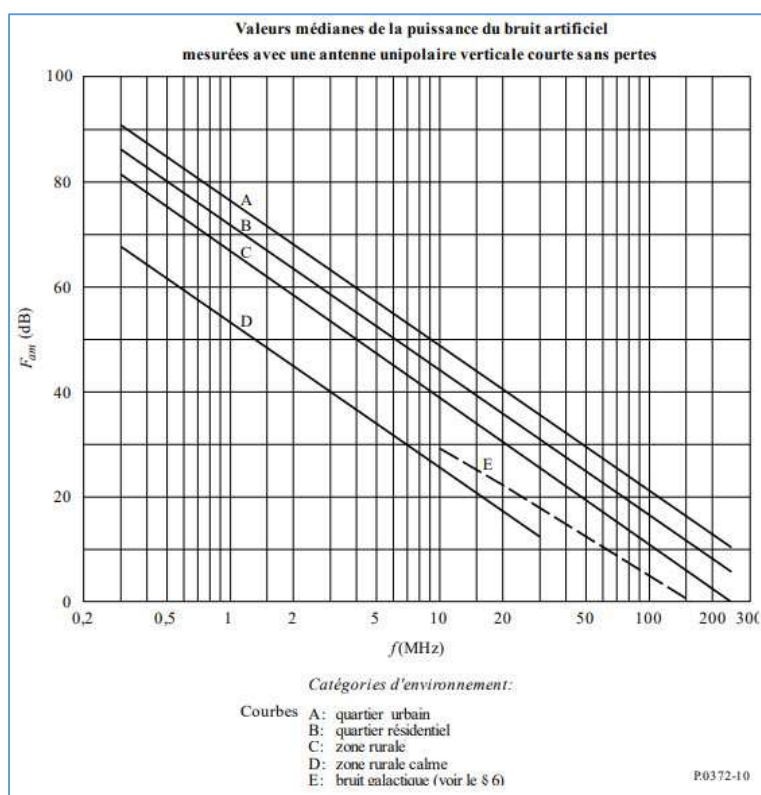


Fig. 37 : Bruit radioélectrique en zone urbaine et rurale en fonction de la fréquence. Source : UIT-R P.372-13. $F_{am} = c - d \log f$

Valeurs des constantes c et d		
Catégorie d'environnement	c	d
Quartier urbain (courbe A)	76,8	27,7
Quartier résidentiel (courbe B)	72,5	27,7
Zone rurale (courbe C)	67,2	27,7
Zone rurale calme (courbe D)	53,6	28,6
Bruit galactique (courbe E)	52,0	23,0

Fig. 38 : Constantes c et d pour le calcul de F_{am} . Source : UIT-R P.372-13.

IFSS (Interference-Free Signal Strength) : IMD en fonction de la puissance d'entrée :

Il s'agit donc de mesurer l'amplitude des produits d'intermodulation (interférences, *Spurious*) en fonction de la puissance des signaux deux tons appliqués à l'entrée HF du récepteur SDR dans une fenêtre de réception de 500 Hz. Le Setup de mesure pour ce test est identique à celui qui a été décrit dans l'article « Comprendre les performances des transceivers » sur ON5VL.org à propos des mesures d'intermodulation du troisième ordre avec deux générateurs HF et un coupleur hybride.

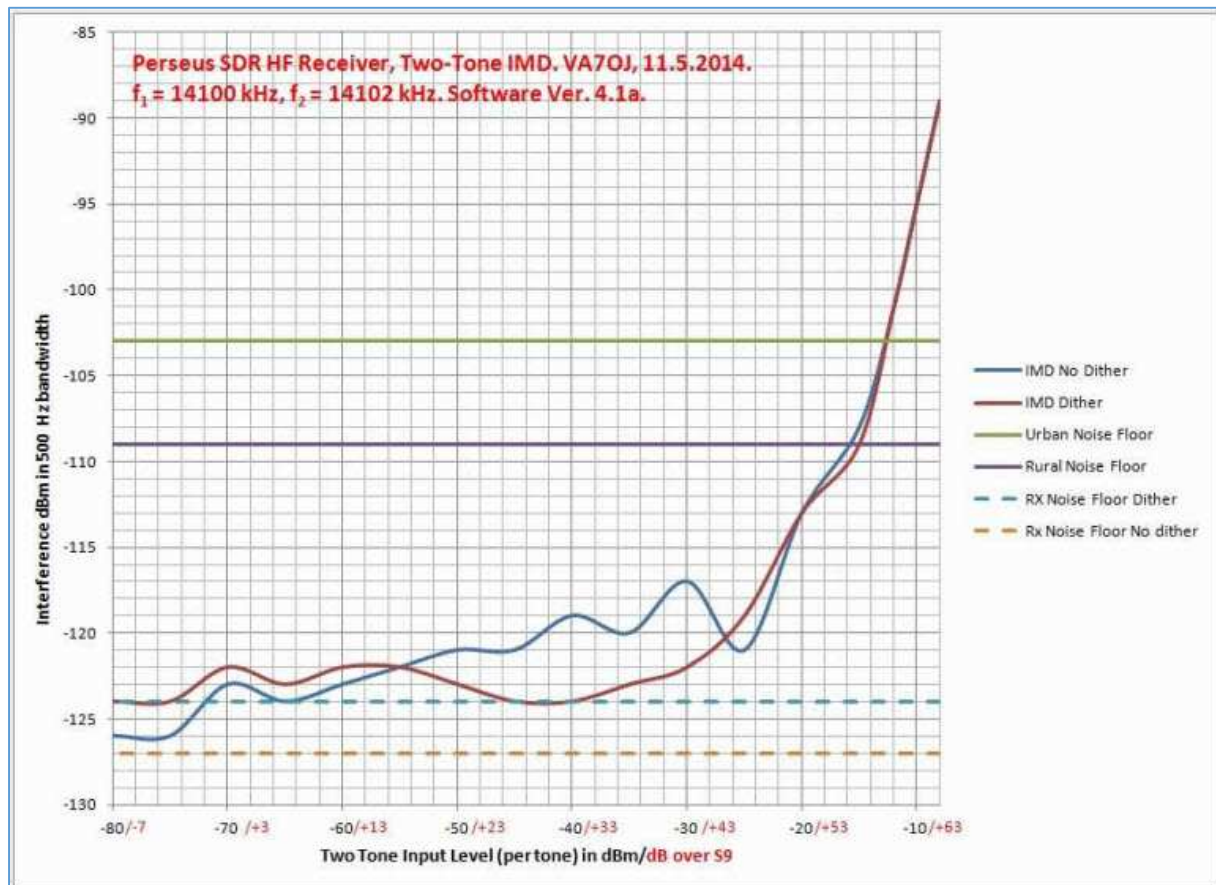


Fig. 39 : Mesure des produits d'intermodulation d'un récepteur SDR en fonction de l'amplitude des deux tons appliqués à l'entrée HF (méthode de mesure IFSS). Source : Adam Farson VA7OJ/AB4OJ, A New Look at SDR Testing, SDR Academy 2016 Friedrichshafen, Germany.

Sur la figure 39 ci-dessus, on peut observer que les produits d'intermodulation dans un récepteur SDR évoluent selon une pente +1 contrairement au comportement d'un récepteur superhétérodyne où ceux-ci évoluent selon une pente +3. Ce n'est qu'à partir d'une puissance des deux tons équivalente à un signal S9+50 que la courbe se redresse accusant une pente supérieure à +1 et se rapproche du phénomène d'intermodulation du 3^{ème} ordre rencontré en analogique. Cette observation confirme bien le comportement d'un ADC comme Walt Kester de la société Analog Devices l'explique à la figure 34.

Le redressement de cette courbe IFSS pour des signaux très forts s'explique aussi par les caractéristiques d'IMD du LNA analogique qui est placé en tête de l'ADC. Toutefois, l'influence de l'IMD du LNA reste relativement faible à ces niveaux élevés de signaux. En effet, un LNA typique, par exemple le LTC6401-20 de Linear Technology, a un IMD3 de l'ordre de 100 dBc et la SFDR d'un ADC LTC2208-14 de Linear Technology est aussi de l'ordre de 100 dBc.

Il y a lieu de remarquer que si un produit d'intermodulation ne dépasse pas le niveau de bruit capté en zone urbaine ou rurale, ce produit d'intermodulation sera complètement masqué par le bruit capté par l'antenne du récepteur dans la zone où il se trouve. On observera sur la figure 39 que le niveau de bruit radioélectrique se situe bien au-delà de l'amplitude de l'IMD pour des *tones* à l'entrée jusqu'à une puissance équivalente à une force de signal S9+60. Les niveaux de bruit radioélectrique illustrés sur cette figure pour une fréquence de 14 MHz sont à -103 dBm pour une zone urbaine et à -109 dBm pour une zone rurale.

Selon la méthode de test IFSS, il y a toujours moyen d'évaluer l'IMDR3 pour un niveau de référence équivalent à celui du MDS du récepteur. Il suffit de le calculer comme suit :

$$IMDR3_{@MDS} = P_{tone} - MDS \text{ [dB]}.$$

Sur un récepteur SDR, on peut observer les produits d'intermodulation et les signaux deux tons directement sur le *Spectrum-Scope* du récepteur pour autant que ce dispositif soit calibré.

Les mesures d'intermodulations du second ordre peuvent être effectuées valablement sur un récepteur SDR car celle-ci peuvent prendre naissance dans le LNA analogique placé en tête de l'ADC.

Test de réjection de l'*Aliasing* sur un récepteur SDR :

Nous supposons que le lecteur est déjà en connaissance de ce qu'est le phénomène d'*Aliasing* d'un ADC et de l'effet de repliement des signaux échantillonnés qui se situent en dehors de la bande passante de Nyquist. Cela vaut donc la peine de tester un récepteur SDR avec des signaux HF dont les fréquences sont situées dans la 2^{ème} zone de Nyquist ($f > f_s/2$) et de mesurer l'amplitude des produits d'*Aliasing* dans la 1^{ère} zone de Nyquist ($f < f_s/2$) à l'aide du *Spectrum-Scope* du récepteur. On pourra ainsi caractériser les performances du filtre *anti-aliasing* de l'ADC.

Test NPR : *Noise Power Ratio* d'un récepteur SDR :

Ce test peut s'appliquer tout aussi bien aux récepteurs SDR qu'aux récepteurs classiques. À l'origine, ce type de test était mis en œuvre pour caractériser les systèmes radiofréquences analogiques multicanaux FDMA (*Frequency Division Multiple Access*) ou comme ceux qui sont utilisés dans les communications GSM (*Global System for Mobile Communications*) des premières générations.

On utilise cette méthode pour évaluer les « *Stress-Test* » des parties réceptrices radiofréquences de ces systèmes lorsque ceux-ci sont soumis à un trafic très dense des communications mobiles lors d'événements exceptionnels (Noël, nouvel an, situations d'urgence, etc.)

Tous ces systèmes complexes de communications mobiles sont à large bande tout comme l'est le *RF-Front End* d'un récepteur SDR où l'ADC convertit tous les signaux HF en temps réel de toute une bande d'une gamme d'ondes.

Dans un système multicanaux à large bande, on peut simuler l'occupation de toute la bande de réception par un générateur de bruit gaussien à large bande, c'est-à-dire qui ne présente pas de fréquence privilégiée, et dont la largeur de bande de bruit est appropriée à celle du système de réception. Un filtre passe bande à large bande est placé entre le générateur de bruit et le récepteur afin de calibrer la bande de bruit sur la largeur de bande de la gamme d'ondes du récepteur SDR. Dans ces conditions d'occupation de toute la bande par la génération de bruit, on peut examiner le comportement du récepteur sur la largeur de bande d'un seul canal (fenêtre de réception) en plaçant entre le générateur de bruit et l'entrée HF du récepteur un filtre éliminateur de bande dont la largeur de réjection correspond à celle du canal de réception (fenêtre de réception). Le filtre éliminateur de bande doit être tout juste un peu plus large que la fenêtre de réception et sa profondeur d'atténuation doit être supérieure à 90 dB.

Grâce à la présence du filtre éliminateur de bande, on peut observer le niveau de bruit résiduel qui existe dans le canal sur lequel le filtre éliminateur de bande (*Notch* : réjecteur) est accordé pendant que tout le reste de la bande est occupé par le bruit injecté par le générateur de bruit gaussien. On peut ainsi observer dans le canal « calme » ainsi créé (exempt de bruit gaussien grâce à la présence du filtre *Notch*) quelle est l'influence de bruit due à l'occupation de tous les canaux adjacents par du bruit gaussien. Le rapport entre le niveau de bruit gaussien appliqué sur toute la bande HF et le bruit résiduel qui subsiste sur le canal examiné est appelé le NPR (*Noise Power Ratio*), c'est-à-dire le rapport de puissance de bruit (voir figure 40).

Ce type de test peut être réalisé sur un récepteur classique superhétérodyne à bande étroite en mesurant le bruit présent dans la fenêtre de réception sans filtre *Notch* et en le comparant à celui qui subsiste dans la même fenêtre lorsque le filtre *Notch* est inséré entre le générateur de bruit et le récepteur ; le rapport entre les deux mesures donne le NPR.

Pour un récepteur SDR, la mesure est effectuée avec un analyseur FFT à la sortie de l'ADC ou bien directement sur le *Spectrum-Scope* du récepteur.

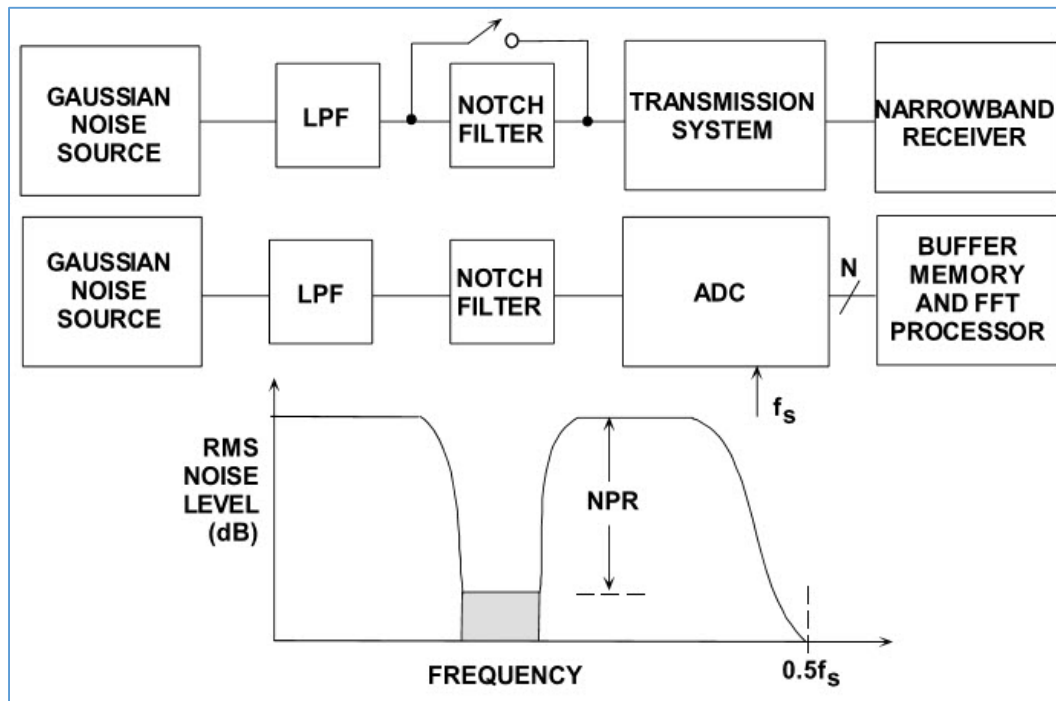


Fig. 40 : *Setup* pour la mesure du rapport de puissance de bruit (NPR : *Noise Power Ratio*) d'un récepteur classique à bande étroite (au-dessus) et d'un récepteur SDR avec un *RF Front End* à large bande. Source : Analog Devices, Design Handbook, High Speed Design Techniques, Section 4 : High Speed Sampling and High Speed ADCs, Walt Kester, Analog Devices, USA.

Le rapport de puissance de bruit (NPR) est mesuré pour différents niveaux de puissance de bruit gaussien (*RMS Noise Loading Level*, exprimé en dBFS) qui est injecté à l'entrée du récepteur. Les différentes mesures de NPR sont reportées en ordonnée sur un graphique en fonction du *RMS Noise Loading Level* (niveau de charge en bruit gaussien) en abscisse.

Dans les récepteurs classiques analogiques, pour des conditions de faible niveau de charge en bruit gaussien, le bruit résiduel non désiré dans la fenêtre de réception est essentiellement du bruit thermique (bruit de Johnson) et ce dernier est indépendant du niveau de charge de bruit gaussien injecté à l'entrée du récepteur : pour une augmentation de 1 dB de charge de bruit gaussien, le NPR augmente aussi de 1 dB. Lorsqu'on continue à augmenter la charge de bruit gaussien, les étages d'entrée du récepteur commencent à rentrer dans la zone de compression de gain et il en résulte des produits d'intermodulation qui ont pour effet de remonter le plancher de bruit du récepteur et de diminuer la gamme dynamique de celui-ci. Si les étages d'entrée du récepteur sont saturés par un niveau élevé de bruit gaussien, le NPR et la dynamique du récepteur dégringole. Le test NPR confirme bien le comportement d'un récepteur analogique comme on l'avait déjà constaté avec le test d'intermodulation du 3^{ème} ordre avec deux *tones* HF où la dynamique du récepteur dégringole à partir du point de 1 dB de compression de gain des étages HF.

Dans les récepteurs SDR à conversion directe avec un ADC au *RF Front End*, le bruit résiduel (ICN : *Idle-Channel Noise*) dans la fenêtre de réception (canal calme) est essentiellement du bruit de quantification lorsqu'on injecte des faibles niveaux de bruit gaussien à l'entrée du récepteur. La courbe du graphique du NPR dans cette région de faible charge de bruit gaussien est linéaire avec une pente +1. Lorsqu'on continue à augmenter le niveau du bruit gaussien à l'entrée du récepteur SDR, il arrive un moment où l'ADC se comporte en limiteur brutal (*Clipping*) et le NPR qui avait atteint une valeur de crête vient à dégringoler pour un niveau de bruit gaussien qui atteint et dépasse le 0 dBFS de l'ADC.

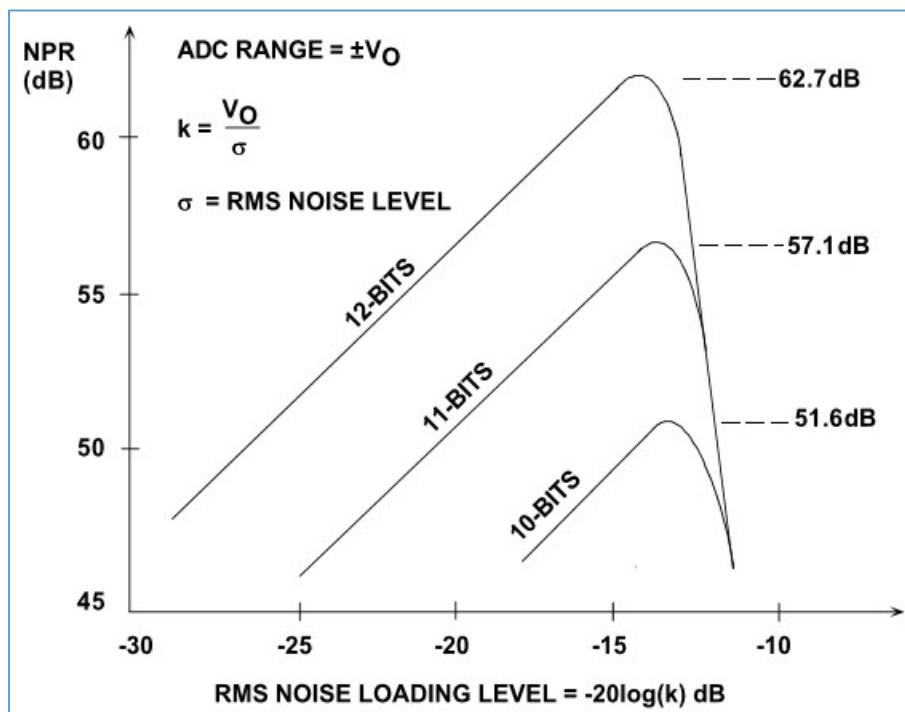


Fig. 41 : Courbes des NPR théoriques pour des ADC de 10,11 et 12 bits en fonction de la charge de bruit gaussien injecté à leur entrée. Source : Analog Devices, Design Handbook, High Speed Design Techniques, Section 4 : High Speed Sampling and High Speed ADCs, Walt Kester, Analog Devices, USA.

Les valeurs de crête des NPR en fonction des niveaux de bruit gaussien et du nombre de bits des ADC sont retranscrites dans le tableau ci-dessous.

BITS	k OPTIMUM	k(dB)	MAX NPR (dB)
8	3.92	11.87	40.60
9	4.22	12.50	46.05
10	4.50	13.06	51.56
11	4.76	13.55	57.12
12	5.01	14.00	62.71
13	5.26	14.41	68.35
14	5.49	14.79	74.01
15	5.72	15.15	79.70
16	5.94	15.47	85.40

ADC Range = $\pm V_O$
 $k = V_O / \sigma$
 $\sigma = \text{RMS Noise Level}$

Fig. 42 : Valeurs de crête des NPR théoriques pour des ADC de différentes résolutions de 8 à 16 bits. Les formules de calcul des valeurs de k et de σ sont retranscrites dans l'encadré de la figure précédente. Source : Analog Devices, Design Handbook, High Speed Design Techniques, Section 4 : High Speed Sampling and High Speed ADCs, Walt Kester, Analog Devices, USA.

La valeur de crête du NPR est fonction du nombre de bit de l'ADC. La courbe théorique du NPR en fonction de la charge de bruit gaussien à l'entrée d'un ADC peut donc être modélisée. Cette modélisation est décrite dans un article de G.A. Gray et de G.W. Zeoli, « Quantization and Saturation Noise due to Analog-to-Digital Conversion » publié dans la publication IEEE Transactions on Aerospace and Electronic Systems, USA Janvier 1971.

Le bruit résiduel dans la fenêtre de réception, c'est-à-dire dans le canal calme (ICN), bruit qui est dû à la charge de bruit gaussien en dessous du 0 dBFS provient essentiellement du bruit de quantification de l'ADC mais cette charge de bruit gaussien vient aussi rajouter du bruit résiduel à cause des produits d'intermodulation du récepteur SDR et des mélanges réciproques dus au bruit de phase de l'horloge de l'ADC. La mesure du bruit résiduel (ICN : *Idle-Channel Noise*) qui est présent dans le canal de réception est donc révélatrice de la performance globale du récepteur SDR.

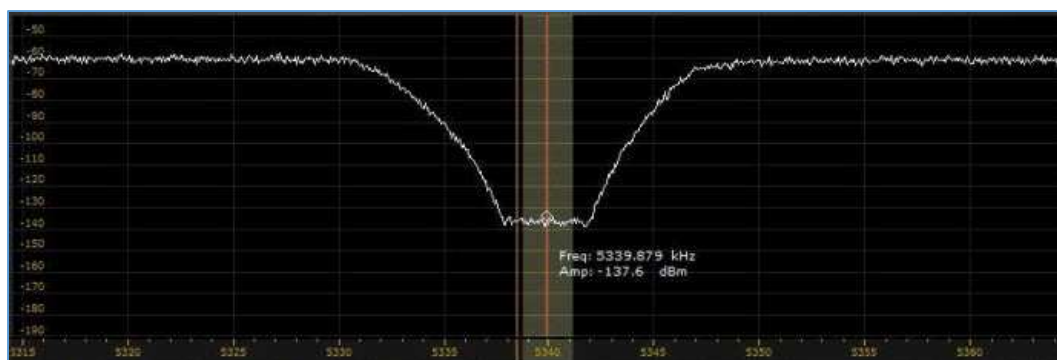


Fig. 43 : Mesure du NPR sur le *Spectrum-Scope* d'un récepteur SDR dans une fenêtre de réception de 2,4 kHz et pour une charge de bruit gaussien de -1 dBFS. Source : Adam Farson VA7OJ/AB4OJ, A New Look at SDR Testing, SDR Academy 2016 Friedrichshafen, Germany.

Si la mesure du NPR effectuée sur un récepteur SDR devait être largement inférieure au NPR théorique de l'ADC mis en œuvre dans le *RF Front End*, c'est que ce récepteur peut accuser de l'intermodulation passive (PIM : *Passive Intermodulation*) au niveau du présélecteur ou bien de l'IMD au niveau du LNA ou de l'étage d'entrée de l'ADC.

Gamme dynamique des mélanges réciproques (RMDR : *Reciprocal Mixing Dynamic Range*) :

Dans les récepteurs SDR, la seule source de bruit de phase est celle qui est produite par l'oscillateur de base de temps de la fréquence d'horloge de l'ADC (*Jitter*). Le *Jitter* de l'horloge peut être parfaitement maîtrisé grâce aux oscillateurs SAW (*Surface Acoustic Wave*) à fréquence fixe qui sont à ultra faible bruit de phase. Il est bien plus difficile d'obtenir un faible bruit de phase dans un LO analogique conventionnel à synthétiseur de fréquences (PLL : *Phase Locked Loop*). Il y a lieu de remarquer que dans un récepteur SDR, le *Jitter* de l'horloge est complètement indépendant de la fréquence de réception. On atteint ainsi dans les récepteurs SDR une RMDR de plus de 100 dB.

La mesure de la RMDR d'un récepteur SDR devient délicate avec un simple oscillateur à quartz qui produit le signal de test car le bruit de phase de celui-ci dégrade les mesures. Il y a moyen d'améliorer le *Setup* de mesure en intercalant entre l'oscillateur de test et l'entrée HF du récepteur un filtre *Notch* d'une atténuation supérieure à 80 dB et qui est accordé sur la même fréquence que celle du récepteur sous test. Le filtre *Notch* élimine les résidus de bruit de phase à la fréquence d'accord du récepteur, ce qui améliore la précision de la mesure des mélanges réciproques.

AGC (*Automatic Gain Control*) dans les récepteurs SDR :

La limite de puissance du signal à l'entrée de l'ADC due au phénomène d'écrêtage (*Clipping*) au 0 dBFS exige une nouvelle approche de la conception de l'AGC dans un récepteur SDR à conversion directe. C'est la raison pour laquelle un atténuateur variable piloté en tension à diodes PIN est placé avant l'entrée analogique de l'ADC de façon à ajuster le niveau du signal pour que celui-ci ne dépasse jamais le 0 dBFS lorsqu'on est en présence d'un signal très fort situé dans la fenêtre de réception. Mais ce simple dispositif d'AGC n'est pas suffisant car l'ADC du *RF Front End* traite tous les signaux qui sont présent dans une large bande qui couvre toute une gamme d'onde du récepteur SDR. Ainsi, un signal très fort qui se situe en dehors de la fenêtre de réception peut placer l'ADC en situation d'écrêtage.

Certains récepteurs SDR sont conçus avec une double boucle de pilotage de l'AGC : une première boucle traite le signal situé dans la fenêtre de réception et une seconde boucle traite les signaux qui sont situés en dehors de la fenêtre de réception. Le *RF Front End* de ce type de récepteur SDR est constitué de deux étages amplificateurs et de deux atténuateurs variables. Un premier atténuateur est placé avant le préamplificateur HF du récepteur et cet atténuateur est piloté par la première boucle d'AGC qui traite le signal situé dans la fenêtre de réception. Un second atténuateur est placé avant le LNA qui amplifie le signal juste avant l'entrée de l'ADC. Le second atténuateur est piloté par la seconde boucle de l'AGC qui traite les signaux situés en dehors de la fenêtre de réception.

Quelques points clef de la partie émettrice d'un *transceiver* SDR :

L'architecture de la partie émettrice d'un *transceiver* SDR offre plusieurs avantages en comparaison avec un émetteur classique analogique. Le signal analogique audio (courant microphonique) est directement converti en un signal numérique par un CODEC (codeur-décodeur). Tout le traitement du signal modulant jusqu'au signal HF modulé s'effectue exclusivement par des circuits numériques. C'est seulement en fin de chaîne numérique que le signal HF modulé est converti en un signal analogique par un DAC avant d'attaquer le PA. Le traitement du signal sous forme numérique dans la partie émettrice n'ajoute donc aucune forme de bruit ou de distorsion sur le signal.

Le seul contributeur de bruit de phase dans un DAC est celui qui provient du *Jitter* du signal d'horloge. Le *Jitter* est parfaitement maîtrisé dans les oscillateurs SAW à ultra faible bruit de phase. Ainsi, le bruit de phase du signal d'émission est très faible dans les émetteurs SDR.

Comme la translation du signal modulant en bande de base vers un signal HF modulé s'effectue par l'intermédiaire d'un DUC (*Digital Up Converter*) piloté par un NCO (*Numerically Controlled Oscillator*), il n'y a plus de production de *Spurious* à cause de d'un LO ou de mélangeurs analogiques.

Les phénomènes de distorsion de phase dus aux filtres analogiques sont éliminés grâce aux filtres numériques.

Interface utilisateur des *transceivers* SDR :

Deux types d'interface utilisateur existent en fonction de la morphologie des *transceivers* SDR.

Soit l'appareil SDR est une boîte noire avec aucun bouton (à part l'interrupteur « on-off ») qui nécessite l'adjonction d'un ordinateur personnel. La liaison entre l'appareil SDR et le PC s'effectue par l'intermédiaire d'une liaison du type réseau informatique Ethernet avec une vitesse d'échange des données à 1 Gb/s. Tous les réglages utilisateur du *transceiver* s'effectuent au moyen du pointeur d'une souris sur un écran graphique ou à partir du clavier du PC (*Personal Computer*). Une application logicielle doit être installée sur le PC pour pouvoir utiliser le *transceiver* SDR. Les ressources du PC permettent d'utiliser conjointement d'autres applications logicielles pour exploiter des modes de télécommunications numériques particuliers, un logbook, une gestion automatique d'orientation d'antenne, etc. Certains appareils SDR disposent d'un moniteur optionnel pour substituer le PC.

Soit l'appareil SDR est du type « *Stand Alone* » et se suffit à lui seul avec tous les boutons de réglages nécessaires à l'utilisateur et avec un large écran LCD couleur sur la face avant du *transceiver*. Ce type d'appareil se prête plus facilement à une utilisation en portable et ne nécessite pas le déménagement de tout un PC avec boîtier du PC, écran moniteur, souris et clavier.

Programmation interne du *transceiver* SDR :

Les performances d'un *transceiver* SDR ne proviennent pas uniquement du *hardware*, mais aussi du *software* (ou du *firmware*). Les algorithmes de calcul au niveau du FPGA doivent être particulièrement bien étudiés et doivent être optimisés pour assurer un fonctionnement correct du *transceiver* SDR. Cela est particulièrement critique pour l'élaboration des filtres numériques FIR et CIC. La programmation d'un FPGA exige de nouvelles compétences non seulement en informatique mais aussi en mathématiques appliquées aux circuits numériques tout en maîtrisant les techniques liées au domaine des radiofréquences.

Certains appareils dont la programmation interne n'est pas aboutie ou n'est pas optimisée peuvent parfois révéler des mauvais comportements, comme par exemple un défaut au niveau de la courbe de mesure de l'IFSS (voir figure 44).

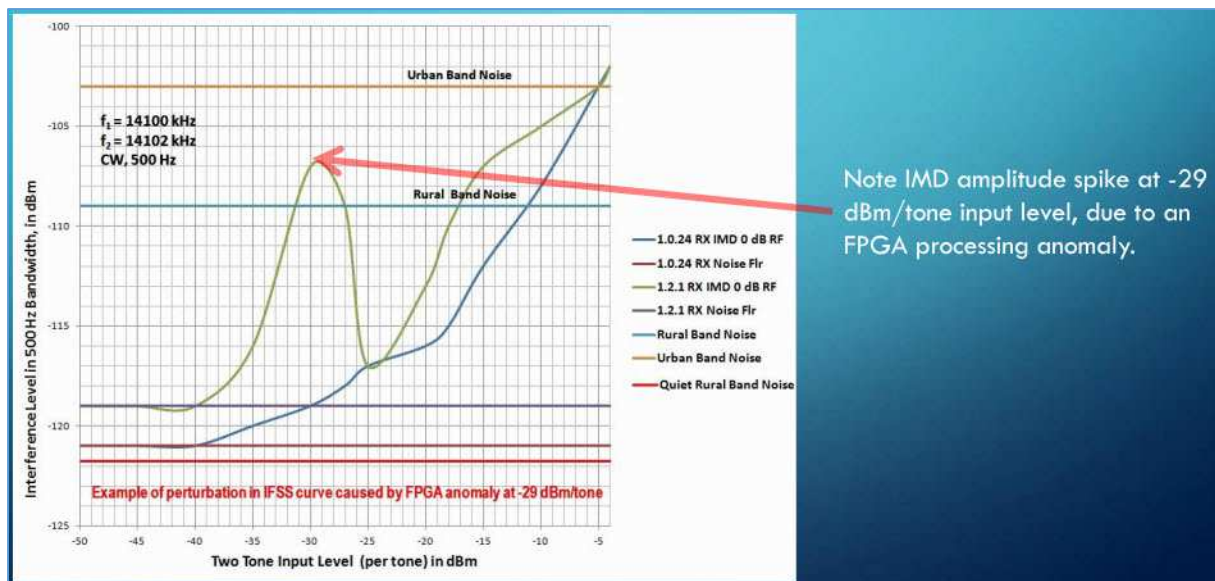


Fig. 44 : Illustration du mauvais comportement d'un récepteur SDR dû à une anomalie dans la courbe de mesure de l'IFSS. On constate un pic d'intermodulation (IMD) dont l'origine provient d'une anomalie de traitement du signal au niveau du FPGA. Source : Bill Trippett W7VP, Adam Farson VA7OJ/AB4OJ, Rob Sherwood NC0B, How Important Are Receiver Performance Criteria In An Era Of Software Defined Radio, May 2017 at Redmond Radio Club, USA.

Conclusions :

La disponibilité d'ADC et de DAC à haute vitesse d'échantillonnage et les performances des FPGA permettent aujourd'hui de constituer des *transceivers* SDR où le signal est traité sous forme numérique d'un bout à l'autre de la chaîne de la partie réceptrice et de la partie émettrice.

Le traitement numérique d'un signal apporte une série de nouveaux concepts qui n'existaient pas dans les électroniques analogiques. Le bruit de quantification, le *Jitter*, le *Dither*, la décimation, l'interpolation, les DDC, les DUC, les mélangeurs I et Q aux signaux complexes, le gain de procédé, les NCO, etc. sont des nouvelles notions que nous devons apprendre pour mieux comprendre les subtilités de fonctionnement d'un *transceiver* SDR.

L'architecture d'un *transceiver* SDR étant radicalement différente de celle d'un *transceiver* analogique nous amène à reconsidérer certaines procédures de test des performances de ces nouvelles stations numériques à l'usage des radioamateurs.

Les performances des *transceivers* SDR modernes dont la conception devient aboutie de nos jours en 2018 sont tout-à-fait comparables à celles des meilleurs *transceivers* analogiques.

Un appareil SDR est moins complexe au point de vue *hardware* qu'un appareil analogique. Enfin, un appareil SDR est dépouillé de toute une série de réglages par noyaux ferrite de bobinages ou de condensateurs ajustables. Il en résulte que l'alignement d'un appareil SDR est plus stable dans le temps que celui d'un appareil analogique.

Annexe

Liste des abréviations utilisées dans cet article :

0 dBFS : 0 dB Full Scale

ADC : Analog-to-Digital Converter

AGC : Automatic Gain Control

AM : Amplitude Modulation

APSK : Amplitude and Phase Shift Keying, Asymmetric PSK

ARM : Advanced Risc Machine

ASIC : Application Specific Integrated Circuit

ATU : Automatic Tuner

BF : Basse Fréquence

BPF : Band-Pass Filter

CIC : Cascaded Integrated Comb (filter)

CLB : Configurable Logic Block

CODEC : Codeur-Décodeur

CW : Continuous Wave

DAC : Digital-to-analog Converter

dBc : dB Carrier

DC : Direct Current

DDC : Digital Down Converter

DDS : Direct Digital Synthesizer

DSP : Digital Signal Processor

DUC : Digital Up Converter

ENOB : Effective Number Of Bits

FCW : Frequency Control Word

FDMA : Frequency Division Multiple Access

FFT : Fast Fourier Transform

FI : Fréquence Intermédiaire

FIR : Finite Impulse Response

FM : Frequency Modulation

FPGA : Field Programmable Gate Array
FS : Full Scale
GAL : Gate Array Logic
Gb/s : Giga Bit Per Second
GSM : Global System for Mobile Communications
GSPS : Giga Sample Per Second
HDL : Hardware Description Language
HF : Haute Fréquence
IEEE : Institute of Electrical and Electronics Engineers
ICN : Idle Channel Noise
IF : Intermédiaire Frequency
IFSS : Interference-Free Signal Strength
IMD : Intermodulation Distortion
IMD3 : Intermodulation Distortion 3rd order
IMDR3 : Intermodulation Dynamic Range 3rd order
IP2 : Intercept Point 2nd order
IP3 : Intercept Point 3rd order
I et Q : In-Phase et Quadrature-Phase
JTAG : Joint Test Action Group
LCD : Liquid Crystal Diode
LNA : Low Noise Amplifier
LO : Local Oscillator
LPF : Low-Pass Filter
LSB : Least Significant Bit
LUT : Look-Up Table
MDS : Minimum Discernable Signal
MF : Moyenne Fréquence
MSPS : Mega Sample Per Second
NCO : Numerically Controlled Oscillator
NF : Noise Figure

NPR : Noise Power Ratio
NSD : Noise Spectral Density
PA : Power Amplifier
PAC : Phase to Amplitude Converter
PAL : Programmable Array Logic
PC : Personnel Computer
PIN : Positive Intrinsic Negative
PIM : Passive Intermodulation
PLL : Phase Locked Loop
PM : Phase Modulation
RBW : Resolution BandWidth
RISC : Reduced Instruction Set Computer
RF : Radio Frequency
RLC : Resistance Bobine d'induction Condensateur
RMDR : Reciprocal Mixing Dynamic Range
RMS : Root Mean Square
RSS : Root Sum Square
SAW : Surface Acoustic Wave
SDR : Software Defined Radio
SFDR : Spurious-Free Dynamic Range
SFDRFS : Spurious-Free Dynamic Range Full Scale
SHA : Sample and Hold Amplifier
SHF : Super High Frequency
SINAD : Signal Noise And Distortion
SNR : Signal to Noise Ratio
SoC : System on Chip
SSB : Single Side Band
THD : Total Harmonic Distortion
THD + N : Total Harmonic Distortion + Noise
UIT : Union Internationale des Télécommunications

USA : United States of America

VHF : Very High Frequency

VHSIC : Very High Speed Integrated Circuit

UHF : Ultra High Frequency

ZIF : Zero Intermediate Frequency